

16ch-1Gbps-Digitizer

BBTX-080

# 機器詳細仕様



2015 年 10 月 06 日 2.0.0 版

(株)Bee Beans Technologies

# 改版履歴

版数	FPGA Version	日付	内容
1.0.0	<del>14122500</del>	2015 年 2 月 24 日	初版
	<del>15021000</del>		
	<del>15022400</del>		
1.01		2015 年 3 月 2 日	アンプの V <sub>CM</sub> 変更もれ修正
	<del>15031100</del>	2015 年 3 月 11 日	FPGA のデータ読み出しタイミングの微修正
1.0.2	<del>15031200</del>	2015 年 3 月 12 日	Time=0 のデータ不安定の記述追加
2.0.0	15100601	2015 年 10 月 6 日	Time=0 データを Cell 番号にする機能追加 6.2 Primary Command Register (0x4)に TOP_MODE(bit0)を追加

## 目次

1. 概要 .....	1
2. 入出力仕様 .....	1
2.1. 電源コネクタ .....	3
2.2. Ethernet コネクタ .....	3
2.3. Main LED .....	3
2.4. Fast-NIM 入力コネクタ .....	4
2.5. Fast-NIM 出力コネクタ .....	4
2.6. アナログ入力コネクタ .....	5
2.7. ディップスイッチ (SW1) .....	6
2.8. Ethernet LED .....	6
2.9. Status LED .....	7
3. 主な仕様 .....	8
4. ブロック図 .....	9
4.1. 入力アンプ (ADA4927-2YCPZ) .....	10
4.2. DRS4 .....	10
4.3. DAC (LTC2634CMSE-LZ12) .....	10
4.4. ADC (AD9637BCPZ-40) .....	11
4.5. DAC Control (FPGA 内部) .....	11
4.6. ADC Control (FPGA 内部) .....	11
4.7. DRS Control (FPGA 内部) .....	12
4.8. Trigger Detect (FPGA 内部) .....	12
4.9. Memory (FPGA 内部) .....	12
4.10. SiTCP (FPGA 内部) .....	13
4.11. RBCP Registers (FPGA 内部) .....	13
4.12. NIM-OUT 制御 (FPGA 内部) .....	13
4.13. PHY (LAN8810i) .....	13
5. SiTCP(TCP)データ .....	14
5.1. TCP データフォーマット .....	15
6. RBCP(UDP)アクセス .....	16
6.1. Version Register (0x0~0x3) .....	17
6.2. Primary Command Register (0x4) .....	17
6.3. Secondly Command Register (0x5) .....	18
6.4. Board Status Register (0x6) .....	18
6.5. Sampling Status Register (0x7) .....	19

6.6. ADC Minimum Monitor Register (0x8~0x9) .....	19
6.7. ADC Average Monitor Register (0xA~0xB) .....	19
6.8. ADC Maximum Monitor Register (0xC~0xD) .....	19
6.9. Trigger Select Register (0x10) .....	20
6.10. Trigger Delay Register (0x11) .....	20
6.11. ADC Trigger Vth Register (0x12~0x13) .....	20
6.12. Sampling Condition Register (0x14) .....	21
6.13. DRS4 Config Register (0x20) .....	21
6.14. DRS4 Write Shift Register (0x21) .....	21
6.15. DRS4 Write Config Register (0x22) .....	21
6.16. ADC Delay Adjust Register (0x23) .....	21
6.17. DRS4-0 V <sub>ROFS</sub> DAC Register (0x24~0x25) .....	22
6.18. DRS4-1 V <sub>ROFS</sub> DAC Register (0x26~0x27) .....	22
6.19. DRS4-0 V <sub>BIAS</sub> DAC Register (0x28~0x29) .....	22
6.20. DRS4-1 V <sub>BIAS</sub> DAC Register (0x2A~0x2B) .....	22
6.21. DRS4-0 V <sub>Oofs</sub> DAC Register (0x2C~0x2D) .....	22
6.22. DRS4-1 V <sub>Oofs</sub> DAC Register (0x2E~0x2F) .....	22
6.23. EEPROM (0x80~0xFF) .....	23
6.24. ADC-0 Internal Register (0x4000~0x5FFF) .....	23
6.25. ADC-1 Internal Register (0x6000~0x7FFF) .....	23

## 1. 概要

16ch-1Gbps-Digitizer(以下本基板)は、SMB コネクタより入力された 16 チャンネルのアナログ信号を高速でアナログ・リング・メモリに書き込みます。トリガ条件が成立するとアナログメモリの書き込みを停止して、書き込んだデータを読み出しながら A/D 変換し、その結果を SiTCP で送出する機能を有する基板です。アナログメモリへの書き込み速度は 1Gbps,2Gbps,3.33Gbps,5Gbps が選択可能です。

## 2. 入出力仕様

本基板のコネクタ、スイッチ、LED を以下の表 2-1、図 2-1 および図 2-2 に示します。

表 2-1 16ch 1Gbps Digitizer 入出力仕様

名称	仕様	説明
電源コネクタ	2mm ピンコネクタ(赤)	+3.3V $\pm$ 5%
	2mm ピンコネクタ(黒)	GND 入力
	2mm ピンコネクタ(青)	-3.3V $\pm$ 5%
Ethernet コネクタ	RJ45 コネクタ	1000BASE-T / 100BASE-TX / 10BASE-T
Main LED	3 段 LED(赤、黄、緑)	状態表示用
Fast-NIM 入力コネクタ	2 段 LEMO コネクタ	2ch トリガ入力
Fast-NIM 出力コネクタ	2 段 LEMO コネクタ	2ch 汎用出力
アナログ入力コネクタ	SMB コネクタ	16ch のアナログ入力
ディップスイッチ(SW1)	CHS-04TB	初期設定
Ethernet LED	SML-310MT	PHY モニタ用 4 個
Status LED	SML-310MT	DRS4 状態モニタ用

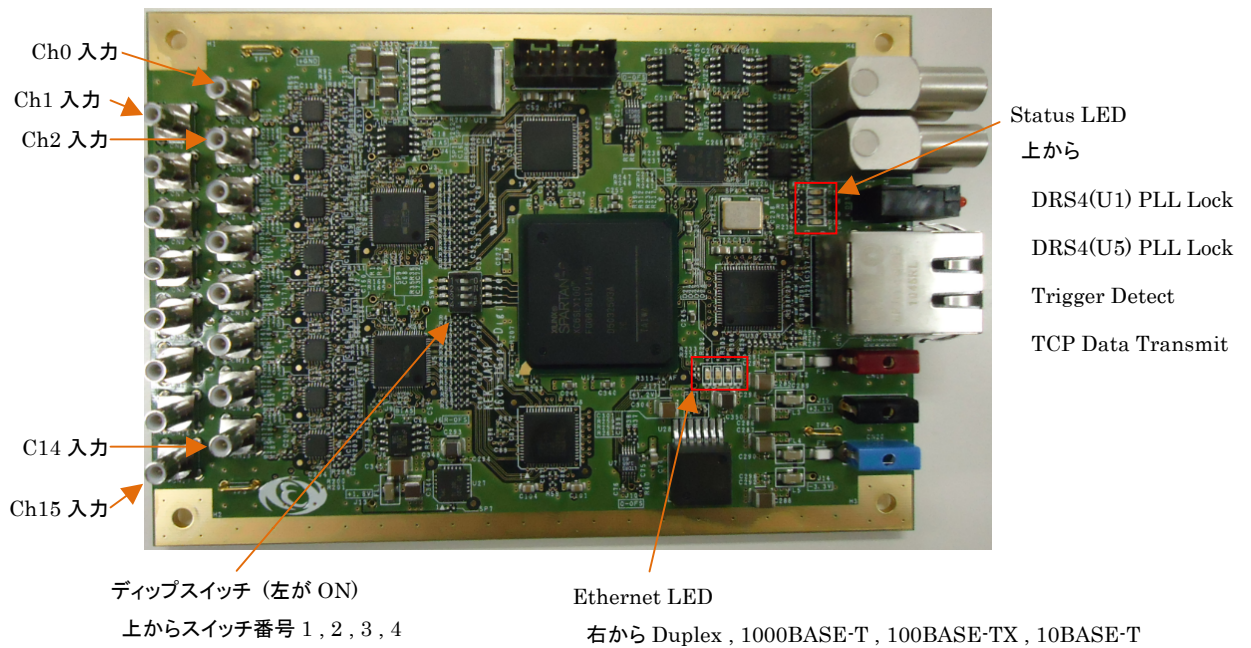


図 2-1 基板上の入出力の配置

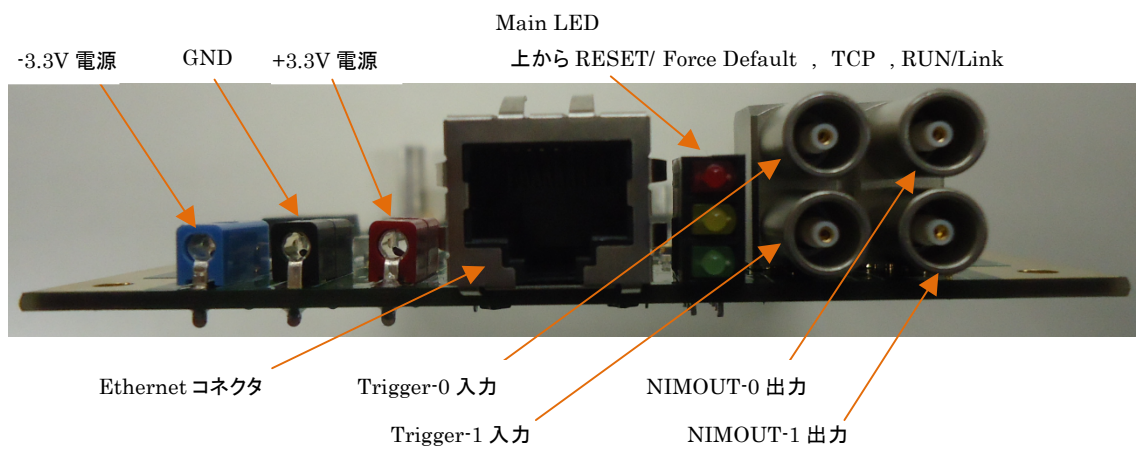


図 2-2 基板端の入出力配置

## 2.1. 電源コネクタ

本装置の電源入力です。赤、黒、青の 2mm ピン用の JK-2 コネクタに  $+3.3V \pm 5\%$  と  $-3.3V \pm 5\%$  を入力してください。本基板には保護回路が内蔵されていないため、過電流保護付の電源を用いてください。また、突入電流による定格以上の電圧が印加されることを防止するため、電源を印加したままでのコネクタの抜き差しは行わないでください。

表 2-2 電源コネクタ仕様

項目	値
コネクタ形状	2mm ピン(勘合長 10mm)コネクタ
コネクタ品番	JK-2(マックエイト)相当品
コネクタ定格電流	5A ※JK-2(マックエイト)適用時
コネクタ(赤)端子電圧	$+3.3V \pm 5\%$
コネクタ(黒)端子電圧	0V(基準電位)
コネクタ(青)端子電圧	$-3.3V \pm 5\%$

## 2.2. Ethernet コネクタ

Ethernet コネクタは、RJ45 コネクタで 1000BASE-T, 100BASE-TX, 10BASE-T に対応しています。

## 2.3. Main LED

Main LED は、赤、黄、緑の 3 段 LED です。基板の動作状態を示します。各 LED の意味を表 2-3 に示します。

表 2-3 Main LED の意味

色	状態	値
赤	点灯	リセット中または、half duplex Link
	点滅(250ms 周期)	Force Default(表 5-1 参照)
黄	点灯	TCP セッション確立
緑	点灯	Ethernet Link Up
	点滅(2 秒未満)	Transmit/receive activity
	点滅(2 秒周期)	Ethernet Link Down

## 2.4. Fast-NIM 入力コネクタ

Fast-NIM 入力コネクタは、アナログメモリの書き込みを停止して、書き込んだアナログ値を読み出すタイミングを指定するトリガ入力です。2 段 LEMO コネクタの上段が Trigger-0 で下段が Trigger-1 です。

トリガタイミングは、論理 0(+5V $\sim$ -0.3V)から論理 1(-0.5V $\sim$ -4V)への遷移時点となります。ただし、トリガタイミングは、入力後 156.25MHz のクロックでサンプリングされるため、約 6.4ns のジッタを持ち、約 150ns 程度の遅延を持ちます。Fast-NIM 入力コネクタの仕様を表 2-4 に示します。

表 2-4 Fast-NIM 入力コネクタ仕様

項目	値
コネクタ形状	LEMO コネクタ NIM-CAMAC-CD/N 549
コネクタ品番	EPY.00.250.NTN(LEMO)相当品
入力電圧範囲	-4V $\sim$ +5V
論理 1 入力範囲	-4V $\sim$ -0.5V
論理 0 入力範囲	-0.3V $\sim$ +5V
入力インピーダンス	50 $\Omega$
バイアス電圧	約 0V

## 2.5. Fast-NIM 出力コネクタ

Fast-NIM 出力コネクタは、Fast-NIM レベルの汎用出力です。2 段 LEMO コネクタの上段が NIMOUT-0 で下段が NIMOUT-1 です。Fast-NIM 出力コネクタの仕様を表 2-4 に示します。

表 2-5 Fast-NIM 出力コネクタ仕様

項目	値
コネクタ形状	LEMO コネクタ NIM-CAMAC-CD/N 549
コネクタ品番	EPY.00.250.NTN(LEMO)相当品
NIMOUT-0	トリガ検出時に 102.4ns 論理 1 を出力
NIMOUT-1	アナログメモリ動作中に論理 1 を出力
論理 1 出力電流	12.8mA $\sim$ 22mA(負荷 50 $\Omega$ 時)
論理 0 出力電流	0 $\sim$ 1.2mA(負荷 50 $\Omega$ 時)

## 2.6. アナログ入力コネクタ

アナログ入力コネクタは、16ch のアナログ入力です。入力されたそれぞれの信号はアンプで増幅された後、アナログメモリ(DRS4)でサンプルされます。

入力アンプは  $50\ \Omega$  出力の信号に調整されています。 $50\ \Omega$  を入力コネクタに接続すると出力は約  $0\text{V}$  になります。(この時、約  $1.3\text{mA}$  のバイアス電流が流れ、入力電圧は約  $66\text{mV}$  となります)

出力同相電圧は約  $1\text{V}$  であり、DRS4 の入力電圧範囲が  $0.1\text{V}\sim 1.5\text{V}$  なので、差動出力の範囲は  $\pm 1\text{V}$  程度となります。従って入力電圧範囲は  $-184\text{mV}\sim 316\text{mV}$  となります。

表 2-6 アナログ入力コネクタ仕様

項目	値
コネクタ形状	SMB コネクタ
コネクタ品番	SB50-9021(アルミック)相当品
入力インピーダンス	約 $50\ \Omega$ ( $52\ \Omega$ )
入力解放電圧	約 $135\text{mV}$
解放時出力電圧(DRS4 入力電圧)	約 $270\text{mV}$
出力電流( $50\ \Omega$ 短絡時)	約 $-1.3\text{mA}$
電圧入力ゲイン	約 3.9 倍
入力電圧範囲	$-62\text{ mV}\sim +192\text{ mV}$ (出力換算 $\pm 500\text{mV}$ ) $-164\text{mV}\sim +296\text{mV}$ (DRS4 最大レンジ)
アンプ同相出力電圧	約 $1\text{V}$
アンプ差動出力電圧	$\pm 500\text{mV}$

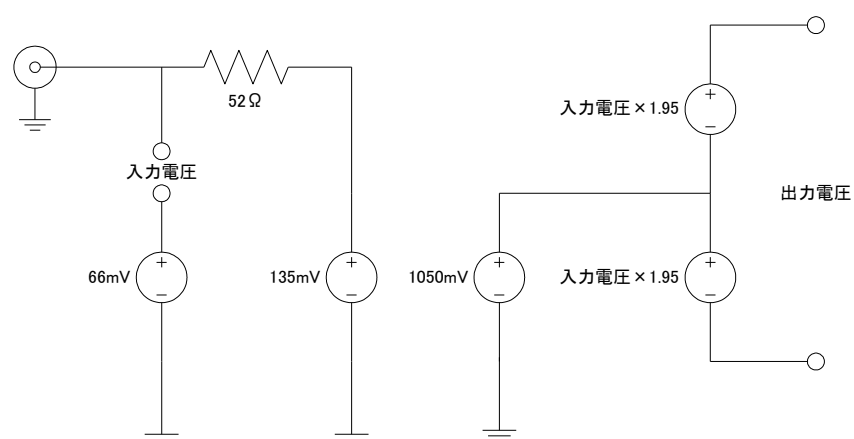


図 2-3 入力等価回路

## 2.7. ディップスイッチ（SW1）

ディップスイッチは、本基板の動作を設定します。設定は電源投入前に行うことを前提としているため、電源投入後に設定を変更しても反映されない場合がありますのでご注意ください。ディップスイッチの用途を表 2-7 に示します。スイッチは OFF に設定すると論理 0、ON に設定すると論理 1 として扱われます。

表 2-7 ディップスイッチの用途

スイッチ番号	意味
1	OFF: 通常 ON: Force Default
2	OFF: 通常 ON: ADC 自動設定 OFF※
3	EEPROM 読み出しページ設定 3: OFF / 4: OFF で page0 , 3: ON / 4: OFF で page1
4	3: OFF / 4: ON で page2 , 3: ON / 4: ON で page3 ※後述 4.11 および 6.23 参照

※ADC のレジスタの初期化機能を停止します ADC のフォーマットの設定は RBCP で行います。

## 2.8. Ethernet LED

Ethernet LED は、PHY の状態を表示するチェック用の LED です。通常は、この LED を確認する必要はありません。リンクスピード、デュプレックスの状態を表示します。PHY は、LAN8810 で LED\_MODE=11B です。表 2-8 に LED の意味を示します。

表 2-8 Ethernet LED の意味

LED 番号	意味	
D21	On	Link operates at full duplex
	Off	Link operates at half duplex
D22	On	1000BASE-T link
	Blinking	Transmit/receive activity
D23	On	100BASE-TX link
	Blinking	Transmit/receive activity
D24	On	10BASE-T link
	Blinking	Transmit/receive activity

## 2.9. Status LED

Status LED は、基板の状態をチェックするための LED です。通常は、この LED を確認する必要はありません。各 LED の意味を表 2-9 に示します。

表 2-9 Status LED の意味

LED 番号	意味
D17	DRS4(U1)の PLL がロックすると点灯
D18	DRS4(U5)の PLL がロックすると点灯
D19	Trigger 信号の状態(点灯で条件成立)
D20	TCP データ送出時に点灯

### 3. 主な仕様

本基板の主要な仕様を表 3-1 に示します。

表 3-1 16ch-1GspS-Digitizer 仕様

項目	仕様		
基板サイズ	130mm × 90mm × 1.6mm		
入力アンプ	アンプ	ADA4927 (ANALOG DEVICES)	
	アンプ DC ゲイン	3.9 倍 (V/V)	
	入力電圧範囲	-62 mV ~ +192 mV (DRS4 標準フルスケール)	
	遮断周波数	>300MHz	
	アンプ差動出力	±1V (DRS4 入力許容範囲による)	
	アンプ同相出力	約 1V	
アナログメモリ	アナログメモリ	DRS4(PSI)	
	サンプリング時間	1ns、1/2ns、1/3ns、1/5ns	
	メモリ数	1024 cell/ch	
	入力電圧範囲	0.1V ~ 1.5V	
	差動電圧範囲	1.05V - V <sub>ROFS</sub> ~ 2.05V - V <sub>ROFS</sub>	
	V <sub>ROFS</sub> 電圧	1.6V(最大) 1.55V(標準)	
	出力差動電圧	-1V ~ +1V (V <sub>Oofs</sub> =1.3V)	
	出力電圧範囲	0.8V ~ 1.8V	
	出力同相電圧	V <sub>Oofs</sub> (標準 1.3V)	
ADC	サンプリング周期	32ns	
	分解能	12bit	
	差動電圧範囲	-1V ~ +1V	
	コーディング	Offset Binary Output Mode Twos Complement Mode	
FPGA	XC6SLX100-2FGG676	シリーズ	Spartan-6LX シリーズ
		Slice	15,822
		FlipFlop	126,576
		Memory	4,824kbit
電源	+3.3V ± 5% 1.6A(typ) -3.3V ± 5% 0.5A(typ)		
ヒューズ	+3.3V 側ヒューズ 定格電流 5A -3.3V 側ヒューズ 定格電流 5A		

## 4. ブロック図

本基板は、SMB コネクタから入力された信号をアンプで約 3.9 倍に増幅するとともに差動信号に変換し、アナログメモリに入力します。アナログメモリ(DRS4)は標準で 1Gsp/s のレートでメモリ(コンデンサ)にアナログ信号をサンプリングします。トリガ信号が検出されるとアナログメモリの書き込みを停止し、約 31Msps のレートで書き込んだデータを AD 変換します。変換したデータは SiTCP で計算機に転送します。ブロック図を図 4-1 に示します。

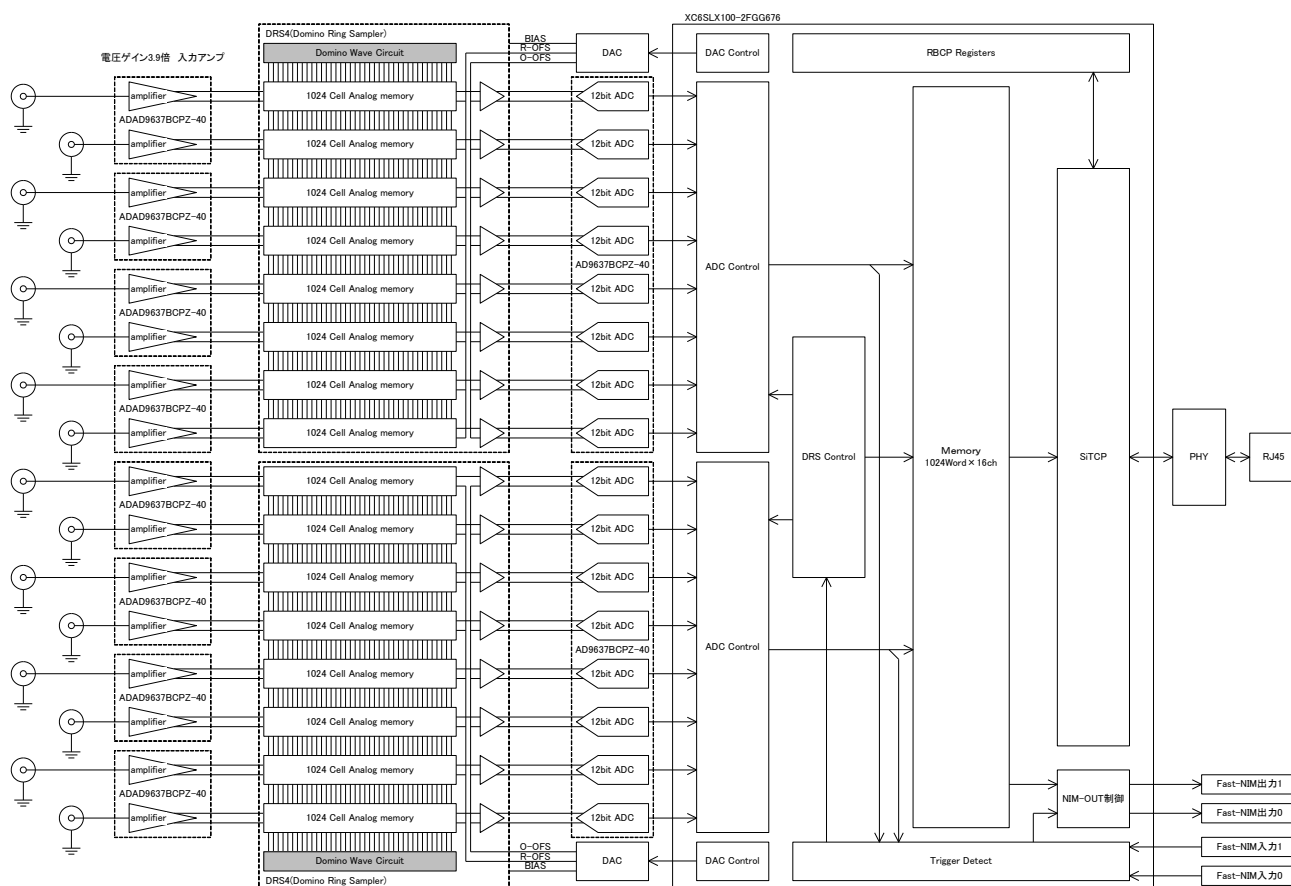


図 4-1 16ch-1Gsp/s-Digitizer・ブロック図

## 4.1. 入力アンプ (ADA4927-2YCPZ)

入力アンプは、不平衡入力をアナログメモリ(DRS4)に入力するために同相電圧約 1V の平衡に変換します。入力アンプは、3.9 倍の電圧ゲインとなっています。DC 出力インピーダンス 50  $\Omega$  の信号源に対してオフセットなしで増幅できます。図 4-2 にオフセットを最小限にする信号源の回路を示します。

トランスペアレントモードでは DRS4 の入力範囲は 0.8V~1.5V となります。同相出力電圧は 1V なので、入力範囲は-50mV~+150mV になります。オフセットを最小限にする信号源の回路を用いた場合は、 $\pm 100\text{mV}$  に相当します。



図 4-2 高インピーダンス信号源と低インピーダンス信号源のインピーダンスマッチング

## 4.2. DRS4

DRS4(Domino Ring Sampler 4)は 8ch のアナログメモリです。1ch あたり 1024 のメモリ Cell(コンデンサ)からなり、高速でメモリに入力電圧をチャージし、トリガで書き込みを停止して、AD 変換するために低速で書き込んだ値を読み出します。書き込み信号は Domino Wave Circuit で生成され、最速 5Gsp/s で入力信号がサンプリングできます。入力電圧は DRS4 の入力スイッチ FET の性能上 0.1V ~1.5V の範囲となります(差動電圧範囲では $\pm 1.4\text{V}$ )。また、Cell に書き込まれた電圧は、マイナス側を  $V_{\text{ROFS}}$  に接続してプラス側の電圧をアンプで読み出します。この時 0.5mV 以内の線形性が得られる電圧範囲は 1.05V~2.05V となります。

また、出力スイッチ FET の性能上  $V_{\text{ROFS}}$  は 1.6V 以下である必要があります。従って、入力の差動電圧範囲は、 $V_{\text{ROFS}}=1.6\text{V}$  の時、差動入力範囲は-0.55V~+0.45V で、 $V_{\text{ROFS}}=0.65\text{V}$  の時、差動入力範囲は+0.6V~+1.4V になります。 $V_{\text{ROFS}}$  の標準電圧は 1.55V で差動入力範囲は $\pm 0.5\text{V}$  になります。

読み出しアンプに入力された 1.05V~2.05V は、レベルシフトと 0.985 倍されて 0.8V~1.8V でプラス側に出力されます。マイナス側は、 $(2 \cdot V_{\text{OFS}} - \text{プラス側に出力})$  であり、 $V_{\text{OFS}}$  が 1.3V の時に差動電圧が $\pm 1\text{V}$  の最大範囲となります。 $V_{\text{OFS}}$  を変えることで差動電圧が 0V となる位置を変更できますが、マイナス側の電圧レンジも 0.8V~1.8V であるため、差動電圧範囲は小さくなります。

## 4.3. DAC (LTC2634CMSE-LZ12)

DAC は、DRS4 の  $V_{\text{ROFS}}$ ,  $V_{\text{OFS}}$ ,  $V_{\text{BIAS}}$  を設定するために使用します。 $V_{\text{ROFS}}=1.55\text{V}$ ,  $V_{\text{OFS}}=1.3\text{V}$ ,  $V_{\text{BIAS}}=0.7\text{V}$  が標準電圧になります。この時の 50  $\Omega$  信号源の 50  $\Omega$  負荷での換算で $\pm 0.5\text{V}$ (入力端子での電圧+0.55~-0.45V)が入力範囲となり、この時の ADC への出力は $\pm 1.0\text{V}$  となります。

#### 4.4. ADC (AD9637BCPZ-40)

ADC は、DRS4 から出力されるアナログ信号を 31.25MSPS で 12bit のデジタル信号に変換します。ADC 内部レジスタは、RBCP を用いて読み出しや書き込みができます。

ディップスイッチの 2 番が OFF であれば、FPGA 起動時にソフトウェアリセットをした後、ADC 内部レジスタのアドレス 0x14 にコーディング・フォーマットを設定します。

コーディング・フォーマットは、offset binary , twos complement のいずれかが設定でき、初期値は EEPROM に保存することができます。ディップスイッチの 2 番が OFF であれば、ADC 内部レジスタのコーディング・フォーマットに応じて TCP への出力フォーマットを変更しますが、ディップスイッチの 2 番が ON の場合は、FPGA 内部レジスタにコーディング・フォーマットに応じた設定をして下さい。

TCP への出力データは 16bit です。コーディング・フォーマットに応じた設定であれば、offset binary の場合は 0x0000～0x0FFF となり、twos complement の場合は 0xF800～0x07FF となります。これにより、いずれの設定でも 16bit 符号付き(twos complement)として扱えます。

#### 4.5. DAC Control (FPGA 内部)

DAC Control は、DAC の出力値を設定するための回路です。FPGA 起動時に EEPROM から読み出した初期値を設定する機能と RBCP アクセスで FPGA 内のレジスタに書き込んだ値を DAC に設定する機能があります。設定電圧は、16bit の設定値を N とすると以下の式となります。なお、DAC の分解能は 12bit であり、約 0.6mV 程度の分解能となります(16bit 中の下位 4bit は無視されます)。

$$V_{out} = 38N \mu V$$

#### 4.6. ADC Control (FPGA 内部)

ADC Control は、ADC の内部レジスタを設定する機能と ADC からのデジタル信号を受信して FPGA 内部の Memory ブロックにデータを送る機能を有します。

ADC の内部レジスタを設定する機能では、初期化機能と RBCP で設定する機能がありますが、ディップスイッチの 2 番が ON の場合、初期化機能は停止します。

ADC からのデジタル信号を受信する回路は、ADC がシリアルライズして送出する AD 変換後のデータをパラレルデータに変換します。パラレルデータに変換されたデータは FPGA 内部のメモリに送られます。

## 4.7. DRS Control (FPGA 内部)

DRS Control は、DRS4 の各信号を制御し、データのサンプリング指示やサンプリングデータの読み出しを指示します。動作は、RBCP からの設定情報と TRG Detect ブロックからトリガ信号で決定されます。DRS4 の状態は、standby、setup、sampling、readout の 4 状態です。standby は、DRS は最低消費電流となるように、すべての動作を停止します。standby の状態でのみサンプリング周波数を変更できます。なお、standby から PLL をロックまでには最低でも 160ms 程度必要です。standby から setup に遷移する時に、DRS4 の Config Register, Write Shift Register, Write Config Register を設定します。setup では、DRS4 の Domino Wave Circuit を動作させて、PLL をロックさせます。PLL がロックしたかは RBCP のレジスタや Status LED で確認できます。sampling はアナログ入力をサンプリングする状態です。この状態になるためには PLL がロック状態であつ ADC からのデータを書き込む FPGA 内部のメモリブロックにデータがないことが必要です。この状態に移行して 2048 サンプリング以上してから TRG Detect ブロックからのトリガ信号を受け付けると readout 状態に遷移します。readout 状態では ADC からのデータを FPGA 内部のメモリブロックに書き込みます。書き込みが終了すると setup または standby 状態に遷移します。この時、どちらに遷移するかは RBCP のレジスタ設定によります。

## 4.8. Trigger Detect (FPGA 内部)

Trigger Detect は、二つの NIM と 16ch の ADC からの入力の何れか一つをトリガのソースに設定できます。NIM 入力の場合は、 $-0.3\text{V} \sim 5\text{V}$  が論理 0 で  $-4\text{V} \sim -0.5\text{V}$  が論理 1 です。ADC の場合は RBCP で設定する  $V_{th}$  以下であれば論理 0、 $V_{th}$  より大きければ論理 1 となります。ADC の場合は、論理反転できます。いずれの場合も論理 0 が 102.4ns 以上継続した後に論理 1 を検出するとトリガ成立とみなします。トリガが成立すると RBCP で設定したクロック数 ( $0 \sim 255 \times 6.4\text{ns}$ ) 待ち合わせた後に DRS Control ブロックにトリガを通知します。ADC をトリガに設定すると DRS control ブロックは sampling 状態の時に DRS4 を Enable Transparent Mode に設定します。ADC からの信号は NIM 入力に比べて 111 クロック程度 (約 710ns) 遅延しています。

## 4.9. Memory (FPGA 内部)

DRS4 から読み出され、ADC で変換された 12bit のデータを 16bit に変換した後、1ch あたり 16bit  $\times 1024$  ワードのメモリに格納します。このデータは、TCP セッションが確立していれば、TCP データとして読み出され、TCP セッションが確立していなければ破棄されます。16bit への変換は符号拡張が指定されていれば符号拡張して 16bit に変換し、符号拡張が指定されていなければ上位 4bit を 0 にして 16bit に変換します。ディップスイッチの 2 番が OFF の場合は、ADC が twos complement に設定されると自動的に符号拡張が指定されます。ON の場合は RBCP のレジスタで指定します。

#### **4.10. SiTCP (FPGA 内部)**

SiTCP は、TCP によるストリーム転送と UDP 上の RBCP によるメモリマップドアクセスのサービスを提供します。キャプチャデータは TCP で、設定情報や状態監視は UDP 上の RBCP で行います。

#### **4.11. RBCP Registers (FPGA 内部)**

RBCP で設定される値や、初期値を保存する EEPROM を制御します。また、ADC の内部レジスタや DAC の設定値をアクセスするために RBCP のメモリ空間をデコードします。0x10～0x2F が初期値を EEPROM に保存できます。0x10～0x2F の値は基板の基礎データでありよく理解した上で変更してください。(出荷時に適切な値に設定しています)

なお、0x10～0x2F の初期値の値は  $0x80 + (0x20 \times \text{Page}) \sim 0x9F + (0x20 \times \text{Page})$  となります。Page はディップスイッチの 3 番 4 番で指定する値となります。

#### **4.12. NIM-OUT 制御 (FPGA 内部)**

NIM-OUT 制御は、トリガの状態や DRS4 の状態を NIM コネクタから出力します。

#### **4.13. PHY (LAN8810i)**

Ethernet の 10BASE-T, 100BASE-TX, 1000BASE-T に対応した PHY チップです。

## 5. SiTCP(TCP)データ

SiTCP の IP アドレスとポート番号は、SiTCP 専用の EEPROM に保存されていますが、ディップスイッチの 1 番を ON にすると Force Default 状態に設定され、初期設定値でアクセスできます。初期設定値は、表 5-1 を参照してください。出荷時の IP アドレス、ポート番号も同じ値に設定してあります。設定値の変更は、SiTCP ユーティリティを使用してください。

TCP のセッションを開いている時に測定されたデータは、TCP を用いて PC に送信されますが、セッションを開いていない場合は即時破棄されます。

表 5-1 Force Default での設定値

項目	値
IPアドレス	192.168.10.16
SiTCP ポート番号(TCP Port)	24
RBCP ポート番号(UDP Port)	4660

## 5.1. TCP データフォーマット

トリガ検出時の 16ch×1024 サンプルのデータは、TCP によって PC に送出されます。セッションが確立していない時は、データは破棄されます。セッションがいつ確立されてもデータは常に先頭から送出されます。データフォーマットを図 5-1 に示します。4byte の固定データ「55-55-AA-AA」に続いて ch0 の 1024 ワード(1 ワード 2byte)、ch1 の 1024 ワードの順に ch15 の 1024 ワードの順に送出されます。従って、一回のトリガで 32,772(1024\*2\*16+4)Byte のデータが送出されます

**Data[0]の値は、まれに異常なデータとなることが確認されています。すべてのチャンネルの Data[0]は使用しないでください。**

TOP\_MODE を0に設定すると、全てのチャンネルの Data[0]は読み出し Cell の開始位置となります。

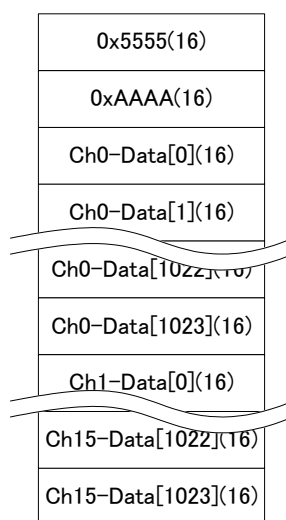


図 5-1 TCP データフォーマット

## 6. RBCP（UDP）アクセス

RBCP 用いて本基板の各種設定をするレジスタにアクセスします。本基板では一部のレジスタの初期値を EEPROM に保存してあります。初期値が保存されるレジスタは、0x10～0x2F までのレジスタです。EEPROM の 128byte は 32byte の 4 つの初期値領域として使用されます。どの初期値領域を使用するかはディップスイッチの 3 番,4 番スイッチで設定します。

RBCP で使用する IP アドレス(TCPと同じ)とポート番号は、SiTCP 専用の EEPROM に保存されていますが、ディップスイッチの 1 番スイッチで Force Default 状態に設定すると初期設定値でアクセスできます。初期設定値は、表 5-1 を参照してください。出荷時の IP アドレス、ポート番号も同じ値に設定してあります。設定値の変更は、SiTCP ユーティリティーを使用してください。

表 6-1 RBCP でのメモリマップ

アドレス(HEX)		BYTE	用途
開始	終了		
0	3	4	Version Register
4	4	1	Primary Command Register
5	5	1	Secondly Command Register
6	6	1	Board Status Register
7	7	1	Sampling Status Register
8	9	2	ADC Minimum Monitor Register
A	B	2	ADC Average Monitor Register
C	D	2	ADC Maximum Monitor Register
E	F	2	未使用
10	10	1	Trigger Select Register
11	11	1	Trigger Delay Register
12	13	2	ADC Trigger Vth Register
14	14	1	Sampling Condition Register
15	1F	11	未使用
20	20	1	DRS4 Config Register
21	21	1	DRS4 Write Shift Register
22	22	1	DRS4 Write Config Register
23	23	1	ADC Delay Adjust Register
24	25	2	DRS4-0 V <sub>ROFS</sub> DAC Register
26	27	2	DRS4-1 V <sub>ROFS</sub> DAC Register

表 6-1 RBCP でのメモリマップ

28	29	2	DRS4-0 V <sub>BIAS</sub> DAC Register
2A	2B	2	DRS4-1 V <sub>BIAS</sub> DAC Register
2C	2D	2	DRS4-0 V <sub>OOFS</sub> DAC Register
2E	2F	2	DRS4-1 V <sub>OOFS</sub> DAC Register
30	7F	80	未使用
80	FF	128	EEPROM
100	1FFF	7,936	未使用
4000	5FFF	8192	ADC-0 Internal Register
6000	7FFF	8192	ADC-1 Internal Register

※初期値保存の欄の数字は、保存される EEPROM のアドレスです。

## 6.1. Version Register (0x0～0x3)

この 4Byte を読み出した値がファームウェアのバージョン番号です。バージョン番号は 8 ニブルの 16 進数で、基本的に初めの 2 ニブルが西暦の末尾 2 ケタを、次の 2 ケタが月を、次の 2 ケタが日を表し、最後の 2 ケタが互換性表示となっています。ただし、バージョンレジスタは、ファームウェアの識別用であり、日時は新旧の判定以外では意味を持ちません。

## 6.2. Primary Command Register (0x4)

このレジスタは、本基板に対する動作を指定します。表 6-2 にビットマップを示します。

表 6-2 Primary Command Register のビットマップ

bit 位置	シンボル	意味
bit7	SETUP	0:DRS4 停止状態 1:DRS4 常時動作待ち状態 ※1
bit6	REPEAT	0:1 回のみの測定 1:継続測定 ※2
bit5	START	1 の書き込みで測定を開始します。※3
bit4	STOP	1 の書き込みで測定を強制終了します。※3
bit3	RESET	1 の書き込みで DRS4 をリセットします。
bit2	NU	未使用
bit1		
bit0	TOP_MODE	0:Time=0 のデータは CELL 座標 1:Time=0 のデータは通常データ

※1 SETUP が 0 でも測定開始が指定されると、測定中は無条件に DRS4 を動作待ち状態にします。

※2 TCP セッションが開かれている時のみ保持されます。セッションが開かれてないと 0 になります。

※3 指定された動作が行われるまで、1 の値が保存されます。

### 6.3. Secondly Command Register (0x5)

このレジスタは、基板の主要動作ではない設定を行います。現在の仕様では EEPROM のライトプロテクトの解除のみが行えます。

表 6-3 Secondly Command Register のビットマップ

bit 位置	シンボル	意味
bit7	EEP_WEN	0:EEPROM 書き込み禁止 1:EEPROM 書き込み許可
bit6	NU	未使用
bit5		
bit4		
bit3		
bit2		
bit1		
bit0		

### 6.4. Board Status Register (0x6)

このレジスタは、リードオンリーのレジスタで Board の状態を表示します。現在は、ディップスイッチの状態を表示するのみのレジスタです。

表 6-4 Board Status Register のビットマップ

bit 位置	シンボル	意味
bit7	DIP4	ディップスイッチ 4 番 0:OFF 1:ON
bit6	DIP3	ディップスイッチ 3 番 0:OFF 1:ON
bit5	DIP2	ディップスイッチ 2 番 0:OFF 1:ON
bit4	DIP1	ディップスイッチ 1 番 0:OFF 1:ON
bit3	NU	未使用
bit2		
bit1		
bit0		

## 6.5. Sampling Status Register (0x7)

このレジスタは、本基板の動作状態を表示します。DRS4 の起動状態や、FPGA が起動直後に行う ADC の初期化処理が終了したことを表示します。また、ADC Delay Adjust Register の調整時のモニタも含まれます。なお、ADC Delay Adjust Register の値は出荷時に EEPROM に書き込んであります。

表 6-5 Sampling Status Register のビットマップ

bit 位置	シンボル	意味
bit7	NU	未使用
bit6	REPLAY	Sampling Timing ※1※2
bit5		111:-1 000:0 001:1
bit4		010, 011, 100, 101, 110 : 不安定領域
bit3	DRS_EXE	1:DRS4 のサンプリング中または再生中であることを示します。
bit2	DRS_READY	1:DRS4 が動作可能状態(PLL ロック)であることを示します。
bit1	ADC1_READY	1:ADC1 が使用可能であることを示します。
bit0	ADC0_READY	1:ADC0 が使用可能であることを示します。

※1 ADC Delay Adjust Register の調整用です。0 になるように調整します。

※2 測定を開始し、トリガを検出し ADC データを出力する時に更新されます。

## 6.6. ADC Minimum Monitor Register (0x8～0x9)

このレジスタは、ADC をトリガにする場合の ADC Trigger Vth Register を設定するためのモニタです。このレジスタは、トリガ待ち状態であれば約 125ms 間の最小値を符号付きで表示します。

通常 ADC Trigger Vth Register に 0x7FFF を Trigger Select Register で ADC を選択した後、START でトリガ待ち状態にして、このモニタの値を参考にして Vth を決定します。

## 6.7. ADC Average Monitor Register (0xA～0xB)

このレジスタは ADC Minimum Monitor Register ほぼ同様に平均値を表示します。使い方は同じです。

## 6.8. ADC Maximum Monitor Register (0xC～0xD)

このレジスタは ADC Minimum Monitor Register と同様に最大値を表示します。使い方は同じです。

## 6.9. Trigger Select Register (0x10)

本レジスタは、トリガ・ソースを設定します。トリガ・ソースには二つの NIM-IN と 16ch の ADC が選択できます。ADC はサンプルレートが約 30MSPS ですのでパルス幅の短い信号のサンプルはできません。また、ADC は遅延も大きいのでご注意ください。

表 6-6 Sampling Status Register のビットマップ

bit 位置	シンボル	意味
bit7	NU	未使用
bit6		
bit5	VTH_FALL	ADCトリガ選択時、 0:Rise Edge でトリガ 1:Fall Edge でトリガ
bit4	TRG_SRC	00000 : NIM-IN[0] , 00001 : NIM-IN[1]
bit3		10000 : ADC-ch0 , 10001 : ADC-ch1 , 10010 : ADC-ch2 , 10011 : ADC-ch3
bit2		10100 : ADC-ch4 , 10101 : ADC-ch5 , 10110 : ADC-ch6 , 10111 : ADC-ch7
bit1		11000 : ADC-ch8 , 11001 : ADC-ch9 , 11010 : ADC-ch10, 11011 : ADC-ch11
bit0		11100 : ADC-ch12, 11101 : ADC-ch13, 11110 : ADC-ch14, 11111 : ADC-ch15

## 6.10. Trigger Delay Register (0x11)

本レジスタは、トリガ検出から DRS4 サンプリング停止までの時間を設定します。トリガを検出後、設定値 × 6.4ns 遅延して、DRS4 のサンプリングを停止します。

## 6.11. ADC Trigger Vth Register (0x12~0x13)

本レジスタは、ADC をトリガ・ソースにした場合のトリガレベルを符号付き 16bit で指定します。符号拡張が設定されている場合は-2048~+2047 が有効で、符号拡張が設定されていない場合は 0~4095 が有効です。立ち上がり、立下りの指定は Trigger Select Register(0x10)で指定します。

## 6.12. Sampling Condition Register (0x14)

本レジスタは、Sampling レートと符号拡張の指定を行います。符号拡張の設定はディップスイッチの 2 番が ON の場合のみ行えます。OFF の場合は読み出しのみ行うことができます。ON の場合の初期値のみ有効で、初期値に従って ADC のコーディングが設定されます。

表 6-7 Sampling Condition Register のビットマップ

bit 位置	シンボル	意味
bit7	NU	未使用
bit6		
bit5		
bit4		
bit3	ADC1_SGEX	ADC1 の符号拡張指定 0:符号拡張なし 1:符号拡張指定
bit2	ADC0_SGEX	ADC0 の符号拡張指定 0:符号拡張なし 1:符号拡張指定
bit1	DRS_RATE	DRS4 のサンプリング・レート指定 00:1Gps 01:1/2Gps 10:1/3Gps 11:1/5Gps
bit0		

## 6.13. DRS4 Config Register (0x20)

本レジスタは、DRS4 の Config Register に書き込む値を設定します。通常 0xFF を設定してください。

## 6.14. DRS4 Write Shift Register (0x21)

本レジスタは、DRS4 の Write Shift Register に書き込む値を設定します。通常 0xFF を設定してください。

## 6.15. DRS4 Write Config Register (0x22)

本レジスタは、DRS4 の Write Config Register に書き込む値を設定します。通常 0xFF を設定してください。

## 6.16. ADC Delay Adjust Register (0x23)

本レジスタは、DRS4 に読み出し指示を出してから ADC がデータを出力するまでの時間を設定します。この値は出荷時に設定してあります。変更しないことを推奨します。

### 6.17. DRS4-0 V<sub>ROFS</sub> DAC Register (0x24~0x25)

本レジスタは、Ch0~Ch7 用、DRS4 の V<sub>ROFS</sub> の値を設定します。設定値を N とすると設定電圧は下式の通りとなります。標準の値は 1.55V で 0x9EB8 です。

$$V_{ROFS} = \frac{2.5}{65536} N \text{ [V]}$$

### 6.18. DRS4-1 V<sub>ROFS</sub> DAC Register (0x26~0x27)

本レジスタは、Ch8~Ch15 用、DRS4 の V<sub>ROFS</sub> の値を設定します。設定値は DRS4-0 と同様です。

### 6.19. DRS4-0 V<sub>BIAS</sub> DAC Register (0x28~0x29)

本レジスタは、Ch0~Ch7 用、DRS4 の V<sub>BIAS</sub> の値を設定します。設定値を N とすると設定電圧は下式の通りとなります。標準の値は 0.7V で 0x47AE です。

$$V_{BIAS} = \frac{2.5}{65536} N \text{ [V]}$$

### 6.20. DRS4-1 V<sub>BIAS</sub> DAC Register (0x2A~0x2B)

本レジスタは、Ch8~Ch15 用、DRS4 の V<sub>BIAS</sub> の値を設定します。設定値は DRS4-0 と同様です。

### 6.21. DRS4-0 V<sub>Oofs</sub> DAC Register (0x2C~0x2D)

本レジスタは、Ch0~Ch7 用、DRS4 の V<sub>Oofs</sub> の値を設定します。設定値を N とすると設定電圧は下式の通りとなります。標準の値は 1.3V で 0x851F です。

$$V_{Oofs} = \frac{2.5}{65536} N \text{ [V]}$$

### 6.22. DRS4-1 V<sub>Oofs</sub> DAC Register (0x2E~0x2F)

本レジスタは、Ch8~Ch15 用、DRS4 の V<sub>Oofs</sub> の値を設定します。設定値は DRS4-0 と同様です。

### 6.23. EEPROM (0x80～0xFF)

本領域は、不揮発性メモリへのアクセス領域 (EEPROM アクセス領域) です。書き込みする場合は、Secondly Command Register の EEP\_WEN を 1 に設定した後に 16Byte 単位以下で書き込んでください。0x80～0x9F はディップスイッチの 3 番 4 番スイッチで指定する Page が 0 の時の 0x10～0x2F の初期値となります。0xA0～0xBF が Page1、0xC0～0xDF が Page2、0xE0～0xFF が Page3 の時の初期値です。

### 6.24. ADC-0 Internal Register (0x4000～0x5FFF)

Ch0～Ch7 用の ADC (AD9637BCPZ-40) の内部レジスタをアクセスする領域です。0x4000 が ADC のアドレス 0 になります。MSB fast の設定となっていますので、LSB fast に設定しないでください。

### 6.25. ADC-1 Internal Register (0x6000～0x7FFF)

Ch8～Ch15 用の ADC (AD9637BCPZ-40) の内部レジスタをアクセスする領域です。0x6000 が ADC のアドレス 0 になります。MSB fast の設定となっていますので、LSB fast に設定しないでください。