

BBT-019(ADC-SiTCP-V2)評価用ファームウェア Type-B

BBT-019-FV02

# 機能仕様書



2018年4月15日 1.4版

(株)Bee Beans Technologies

## 改版履歴

| 版数  | FPGA Version | 日付         | 内容                               |
|-----|--------------|------------|----------------------------------|
| 0.9 | B0180221     | 2018年2月21日 | 暫定版                              |
| 1.0 | B0180226     | 2018年2月26日 | 初版 強制トリガ機能追加                     |
| 1.1 |              | 2018年3月22日 | 表 2-1 の誤記修正                      |
| 1.2 | B0180327     | 2018年3月27日 | TCP ファーマット変更<br>Vth レジスタフォーマット変更 |
| 1.3 |              | 2018年3月29日 | 表 5-1 誤記修正                       |
| 1.4 | B0180415     | 2018年4月15日 | FPGA 不具合修正(本文修正なし)               |
|     |              |            |                                  |

## 目次

|   |   |
|---|---|
| 1. 概要 .....   | 1 |
| 2. BBT-019-FV02 の機能概要.....                                    | 1 |
| 3. LED.....   | 2 |
| 4. NIM_OUT.....   | 2 |
| 5. NIM_IN .....   | 3 |
| 6. SiTCP(TCP) データ.....  | 3 |
| 6.1. SiTCP データフォーマット .....                                    | 4 |
| 7. RBCP(UDP) アクセス.....  | 5 |
| 7.1. Version Register (0x00000000~0x00000003).....            | 6 |
| 7.2. Control Register (0x00000004).....                       | 6 |
| 7.3. DIP Switch Register (0x00000005).....                    | 7 |
| 7.4. Jumper Register (0x00000004) .....                       | 7 |
| 7.5. Trigger Position Register (0x00000008, 0x00000009) ..... | 7 |
| 7.6. Trigger Enable Register (0x0000000A, 0x0000000B) .....   | 7 |
| 7.7. Trigger Invert Register (0x0000000C~0x0000000D) .....    | 8 |
| 7.8. Time Register (0x00000010~0x00000017) .....              | 8 |
| 7.9. ch0~ch15 Vth Register (0x00000020~0x0000003F).....       | 8 |
| 7.10. ADC1,ADC2 のレジスタ(0x00004000~0x00007FFF) .....            | 8 |
| 8. 初期値の設定 .....   | 9 |

## 1. 概要

本資料は BBT-019(ADC-SiTCP-V2)評価用ファームウェアの機能を記述するものです。BBT-019には複数のファームウェアがありますが、本仕様書は BBT で作成した波形キャプチャ型ファームウェアである BBT-019-FV02 の機能を記述するものです。

## 2. BBT-019-FV02 の機能概要

BBT-019-FV02 は、40Msps,20Msps,10Msps,5Msps のいずれかのサンプルレートでサンプル数 2048 または 4096 サンプル記録できます。

いずれのサンプルレートでも 40Msps でサンプルします。サンプルレート 20Msps では 2 サンプル、10Msps では 4 サンプル、5Msps では 8 サンプルの平均をサンプルします。

2048 サンプルを記録する場合は全 16 チャンネルの入力を記録できます。4096 サンプルでは ch0～ch7 または ch8～ch15 の 8 チャンネルの入力を記録できます。

表 2-1 BBT-019-FV02 の機能

| 機能          | 仕様           | 説明                            |
|-------------|--------------|-------------------------------|
| サンプルレート     | 40Msps       | 40Msps を毎サンプル記録               |
|             | 20Msps       | 40Msps を 2 サンプル平均で記録          |
|             | 10Msps       | 40Msps を 4 サンプル平均で記録          |
|             | 5Msps        | 40Msps を 8 サンプル平均で記録          |
| 記録サンプル数     | 2048 サンプル/ch | ch0～ch15 全使用可能                |
|             | 4096 サンプル/ch | ch0～ch7 使用可能<br>ch8～ch15 使用可能 |
| トリガポジション    | 0～65535 サンプル | ポジション N の時、トリガ後 N サンプルまで記録    |
| トリガソース      | NIM_IN-1     | NIM_IN-1 入力をトリガソースとする         |
|             | NIM_IN-2     | NIM_IN-2 入力をトリガソースとする         |
|             | 閾値 OR        | 各チャンネルを閾値で判定した結果の論理和          |
|             | 閾値 AND       | 各チャンネルを閾値で判定した結果の論理積          |
| トリガ・エッジ(注1) | 強制トリガ        | メモリの全領域の書き込みが終わるとトリガが発生       |
|             | ポジティブ        | 偽から真への遷移                      |
|             | ネガティブ        | 真から偽への遷移                      |

(注1)強制トリガは対象外となります。

### 3. LED

基板上的のLEDで簡易的な状態表示をしています。LEDが消灯中にLEDの点灯条件が一度でも満たされると約0.1秒以上点灯します。また、点灯中に点灯条件が一度でも満たされないと0.1秒以上消灯します。各LEDの点灯条件を表3-1 LEDの点灯条件に示します。

表 3-1 LED の点灯条件

| LED 名 | 点灯条件                    |
|-------|-------------------------|
| LED0  | TCP セッションが確立すると点灯します    |
| LED1  | TCP データを転送すると点灯します      |
| LED2  | レコードデータを転送中に点灯します       |
| LED3  | ADC データをメモリに書き込み中に点灯します |

### 4. NIM\_OUT

NIM\_OUT は、トリガ検出時に約 1 $\mu$ s アサートします。内部処理の都合で約 760ns $\sim$ 785ns の遅れが生じます。NIM\_OUT の仕様を表 4-1 に示します。

表 4-1 NIM\_OUT の仕様

| 項目                      | 仕様                           |
|-------------------------|------------------------------|
| 0 出力電圧(50 $\Omega$ 終端時) | -100mV $\sim$ 0mV(安定時)       |
| 1 出力電圧(50 $\Omega$ 終端時) | -1100mV $\sim$ -640mV(安定時)   |
| 50 $\Omega$ 終端時の振幅      | 640mVpp $\sim$ 1000mVpp(安定時) |
| トリガ検出遅延時間               | 750ns $\sim$ 795ns           |
| パルス幅                    | 995ns $\sim$ 1005ns          |

## 5. NIM\_IN

NIM\_IN は、fast-NIM レベルのトリガ入力端子です。NIM\_IN-1 と NIM\_IN-2 の二つの入力は、いずれもトリガとして使用できます。

表 5-1 NIM\_IN の仕様

| 項目                             | 仕様                                     |
|--------------------------------|--|
| 入力電圧範囲(パルス)                    | -4V~5V (電圧の 2 乗平均が 5V <sup>2</sup> 以下) |
| 入力電圧範囲(DC)                     | -2.2V~+2.2V                            |
| 入力インピーダンス                      | 約 50Ω                                  |
| ヒステリシス                         | 50mV(typ)                              |
| 0 入力電圧(0V)                     | -0.3V~5V                               |
| 1 入力電圧(-0.8V)                  | -4V~-0.5V                              |
| TRIG_SEL <sup>(注1)</sup> =00 時 | NIM_IN-1 がトリガソース                       |
| TRIG_SEL <sup>(注1)</sup> =01 時 | NIM_IN-2 がトリガソース                       |
| EDGE_SEL <sup>(注2)</sup> =0 時  | 入力信号の立下り(0 入力から 1 入力への遷移)              |
| EDGE_SEL <sup>(注2)</sup> =1 時  | 入力信号の立上り(1 入力から 0 入力への遷移)              |

(注1) Control Register (0x00000004)の bit4,bit5 の値

(注2) Control Register (0x00000004)の bit6 の値

## 6. SiTCP (TCP) データ

ディップスイッチの 4 を ON にした場合、SiTCP の TCP/IP アドレスとポート番号は、表 6-1 の通りとなります。

表 6-1 TCPのデフォルト値

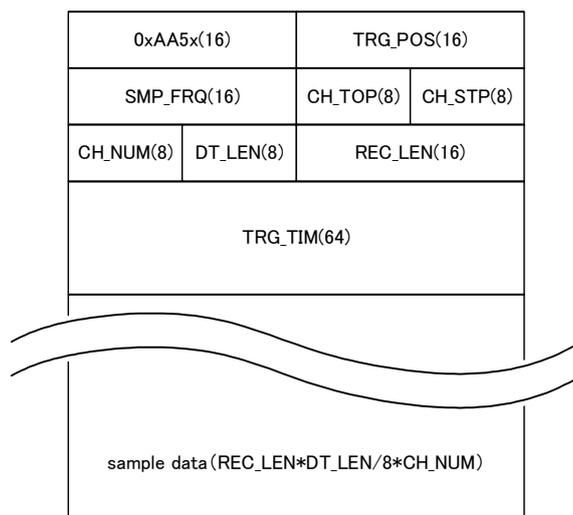
| 項目       | 値                |
|----------|------------------|
| IPアドレス   | 192. 168. 10. 16 |
| TCPポート番号 | 24               |

## 6.1. SiTCP データフォーマット

データ転送中以外はデータを記録し続け、トリガを検出すると記録を停止しTCPでデータを送信します。ただし、データ送信開始時にTCPセッションが確立していないとデータは破棄されます。また、データの転送が終わるまで次のデータ記録は行いません。

送信するデータはすべてネットワーク・オーダー(先に受信した Byte が上位 byte)です。1チャンネル分のデータの集まりをレコードと呼びます。1レコードは REC\_LEN で表示される数のサンプルデータで構成されます。サンプルデータの長さは DT\_LEN 示される bit 数です。ただし、DT\_LEN はデータフォーマット上の長さであり、ADC の出力するデータの bit 数ではありません。ADC のデータ長より DT\_LEN が大きい場合は、MSB をそろえて下位ビットは 0 でパディングします。

データフォーマットは 20byte のヘッダとそれに続く有効チャンネル数(CH\_NUM)のレコードで構成されます。(図では有効チャンネル数(CH\_NUM)のレコードを sample data と表示しています)



| 図中の記号       | 説明  | 取りうる値            |        |
|-------------|---|------------------|--------|
| 0xAA5x      | フレームの始まりを示す固定値  | Two's complement | 0xAA55 |
|             |   | Offset binary    | 0xAA54 |
| TRG_POS     | トリガ位置(0の時最後のデータ)  | 任意               |        |
| SMP_FRQ     | サンプリング周波数(100ksps単位)  | 400,200,100,50   |        |
| CH_TOP      | sample dataの最初のチャンネル番号  | 0,8              |        |
| CH_STP      | sample dataのチャンネル間隔   | 1                |        |
| CH_NUM      | sample dataのチャンネル数  | 8,16             |        |
| DT_LEN      | 1サンプルデータ当たりのbit数  | 16               |        |
| REC_LEN     | 1チャンネル(1レコード)当たりのサンプルデータ数   | 2048,4096        |        |
| TRG_TIM     | トリガ検出時の時刻(NTPタイムスタンプと同じフォーマット)  | 任意               |        |
| sample data | 1チャンネル(1レコード)のデータはREC_LEN*DT_LEN/8/バイト<br>sample dataはCH_NUM個のレコードでなる<br>始めのレコードのチャンネル番号はCH_TOP<br>n番目のレコードのチャンネル番号はCH_TOP+CH_STP*(n-1) | 任意               |        |

図 6-1 TCP データフォーマット

## 7. RBCP (UDP) アクセス

RBCP 用いてモジュールのレジスタにアクセスします。RBCP で使用する IP アドレスとポート番号は、ディップスイッチの 4 を ON にした場合、表 7-1 の通り(IP アドレスは TCP と同じ)となります。RBCP のメモリマップを表 7-2 に示します。

表 7-1 RBCP のデフォルト値

| 項目       | 値                |
|----------|------------------|
| IPアドレス   | 192. 168. 10. 16 |
| UDPポート番号 | 4660             |

表 7-2 RBCP のメモリマップ

| アドレス (HEX) |            | BYTE   | 用途                        |
|------------|------------|--------|---------------------------|
| 開始         | 終了         |        |                           |
| 0x00000000 | 0x00000003 | 4      | Version Register          |
| 0x00000004 | 0x00000004 | 1      | Control Register          |
| 0x00000005 | 0x00000005 | 1      | DIP Switch Register       |
| 0x00000006 | 0x00000006 | 1      | Jumper Register           |
| 0x00000007 | 0x00000007 | 1      | 未使用                       |
| 0x00000008 | 0x00000009 | 2      | Trigger Position Register |
| 0x0000000A | 0x0000000B | 2      | Trigger Enable Register   |
| 0x0000000C | 0x0000000D | 2      | Trigger Invert Register   |
| 0x0000000E | 0x0000000F | 2      | 未使用                       |
| 0x00000010 | 0x00000017 | 8      | Time Register             |
| 0x00000020 | 0x0000003f | 2 × 16 | ch0~ch15 Vth Register     |
| 0x00004000 | 0x00005FFF | 8192   | ADC1 のレジスタ                |
| 0x00006000 | 0x00007FFF | 8192   | ADC2 のレジスタ                |

## 7.1. Version Register (0x00000000~0x00000003)

FPGA のバージョンを区別する ID です。現仕様では初めの 1byte が B0 で次の 1byte の年の下二桁、次の 1 バイトの月、最後の 1byte の日で構成されています。日時はバージョンの新旧を区別する程度で、合成された日時等とは同じとは限りません。先頭の 1byte が 0xB0 である範囲では基本的に互換である事を示します。

## 7.2. Control Register (0x00000004)

BBT-019-FV02 の動作モードを指定します。本レジスタの初期値を EEPROM に保存できます。保存場所は 0xFFFFFE3C となります。詳細は 8 初期値の設定を参照して下さい。

表 7-3 Control Register のビットマップ

| ビット位置 | シンボル       | 意味   |                                |
|-------|------------|--|--------------------------------|
| bit7  | OFFSET_BIN | 0: 標準設定 1: オフセットバイナリ指定 <sup>(注1)</sup>       |                                |
| bit6  | EDGE_SEL   | 0: 偽から真への遷移 1: 真から偽への遷移                      |                                |
| bit5  | TRIG_SEL   | トリガソース                                       | 00: NIM_IN-1                   |
| bit4  |            |  | 01: NIM_IN-2                   |
|       |            |  | 10: 閾値の論理和 <sup>(注2)</sup>     |
|       |            |  | 11: 閾値の論理積 <sup>(注3)(注4)</sup> |
| bit3  | UPCH_SEL   | 0: 0ch~7ch 使用 1: 8ch~15ch 使用 <sup>(注5)</sup> |                                |
| bit2  | COMBINE    | 0: 2048 サンプル 1: 4096 サンプル <sup>(注5)</sup>    |                                |
| bit1  | RATE[1:0]  | 00: 40Msps                                   |                                |
| bit0  |            | 01: 20Msps(40Msps 2 サンプル平均)                  |                                |
|       |            | 10: 10Msps(40Msps 4 サンプル平均)                  |                                |
|       |            | 11: 5Msps(40Msps 8 サンプル平均)                   |                                |

(注1) オフセットバイナリに設定するためには ADC の設定を変更する必要があります。

(注2) 「閾値の論理和」に設定すると未使用チャンネルは偽に設定されます。

(注3) 「閾値の論理積」に設定すると未使用チャンネルは真に設定されます。

(注4) 「閾値の論理積」に設定して全チャンネル未使用に設定すると強制トリガとなります

(注5) COMBINE が 0 の時は UPCH\_SEL に関わらず全チャンネル(ch0~ch15)が有効となります。

### 7.3. DIP Switch Register (0x00000005)

ディップスイッチの設定状態を表示します。

表 7-4 DIP Switch Register のビットマップ

| ビット位置 | 意味  |
|-------|---|
| bit7  | 未使用   |
| bit6  | 未使用   |
| bit5  | 未使用   |
| bit4  | 未使用   |
| bit3  | ディップスイッチ 4 番の状態 0:OFF, 1:ON <sup>(注1)</sup> |
| bit2  | ディップスイッチ 3 番の状態 0:OFF, 1:ON                 |
| bit1  | ディップスイッチ 2 番の状態 0:OFF, 1:ON                 |
| bit0  | ディップスイッチ 1 番の状態 0:OFF, 1:ON                 |

(注1) ディップスイッチ 4 番を ON にするとフォースデフォルト状態となります。

### 7.4. Jumper Register (0x00000004)

BBT-019 の 8 個のジャンパピン設定を表示します。短絡設定すると 0、解放すると 1 となります。

### 7.5. Trigger Position Register (0x00000008, 0x00000009)

トリガポジションを指定します。0 の時レコードの最後のサンプルがトリガ位置となります。N を設定するとトリガ後 N サンプルを記録します。本レジスタの初期値を EEPROM に保存できます。保存場所は 0xFFFFFE3E, 0xFFFFFE3F となります。詳細は 8 初期値の設定を参照して下さい。

### 7.6. Trigger Enable Register (0x0000000A, 0x0000000B)

トリガソースに「閾値の論理和」または「閾値の論理積」を使用した場合にトリガに使用するチャンネルを指定します。0x0000000A の bit7 が ch15、0x0000000B の bit0 が ch0 に対応します。対応する bit を 1 にするとトリガ対象となり、0 を設定すると対象外となります。

対象外チャンネルは、「閾値の論理和」に設定されている場合、偽として処理され、「閾値の論理積」に設定されている場合、真として処理されます。

また、「閾値の論理積」に設定され全チャンネルを未使用に設定(0x0000 を書き込む)すると、強制トリガとなります。強制トリガではメモリの全領域にデータが書き込まれると、トリガが自動的に発生します。

## 7.7. Trigger Invert Register (0x0000000C~0x0000000D)

トリガソースに「閾値の論理和」または「閾値の論理積」を使用した場合に使用します。このレジスタの各 bit はチャンネルに対応し、0x0000000C の bit7 が ch15 に対応し、0x0000000D の bit0 が ch0 に対応します。対応する bit を 0 にしたチャンネルは閾値よりも大きい入力値があった場合を真とします。対応する bit を 1 にしたチャンネルは閾値以下の入力値があった場合を真とします。

## 7.8. Time Register (0x00000010~0x00000017)

64bit、NTP タイムスタンプ・フォーマットの時刻用タイマです。0x00000010~0x00000013 の上位 32bit は 1 秒単位のタイマです。この 32bit は書き込みできます。0x00000014~0x00000017 の下位 32bit は  $2^{-32}$  秒単位のタイマです。上位 32bit を書き込むと 0x00000000 に初期化されます。上位 32bit を書き換える場合は、0x00000010 から 4byte 書き込んで下さい。0x00000013 を書き込んだ時にタイマが更新されます。タイマの値を読み出す場合は 0x00000010 から 8byte または 4byte 読み出して下さい。読み出される時刻は、0x00000010 を読み出した時の時刻です。

## 7.9. ch0~ch15 Vth Register (0x00000020~0x0000003F)

トリガソースに「閾値の論理和」または「閾値の論理積」を使用した場合の閾値を設定します。ch0 の閾値は 0x00000020, 0x00000021 に設定し、ch15 の閾値は 0x0000003E, 0x0000003F に設定します。書き込んだデータの上位 12bit のみが有効であり、下位 4bit は常に 0 です。本レジスタの初期値の bit15~bit8 までを EEPROM に保存できます。(bit7~bit0 の初期値は常に 0 です。) 保存場所は 0xFFFFFE3D となります。詳細は 8 初期値の設定を参照して下さい。

## 7.10. ADC1,ADC2 のレジスタ(0x00004000~0x00007FFF)

二つの ADC の内部レジスタに直接アクセス為の領域です。本ファームウェアはデフォルトのレジスタ状態を前提に設計しています。レジスタを書き換える事によって正常動作できなくなる場合もあるのでご注意ください。0x00004000~0x00005FFF が ADC1 のレジスタ用であり、0x00006000~0x00007FFF が ADC2 のレジスタ用です。ADC1 は ch8~ch15 用であり、ADC2 は ch0~ch7 用です。レジスタの詳細は AD9637BCPZ-40 のデータシートを参照して下さい。

## 8. 初期値の設定

レジスタの初期値を SiTCP の EEPROM を使って保存できます。設定レジスタは 0xFFFFFC3C～0xFFFFFC3F までの 4byte です。

**以下の操作を誤ると、復旧するために修理が必要となる場合がありますので、手順をよく確認の上で行ってください。**

これらのレジスタを変更するためには、0xFFFFCFF に 0x00 を書きこんでライトプロテクトを解除した後に書き込む必要があります。プロテクトを解除した後に 0xFFFFFC3C～0xFFFFFC3F を変更できますが、それ以外の領域を書き換えると SiTCP が動かなくなる恐れがあります。

この状態では、SiTCP のすべてのパラメータを変更できるため、必要な変更を行った後に速やかに電源を切って再起動して下さい。(自動的にプロテクトがかかります)

表 8-1 EEPROM レジスタ

| アドレス       | 意味   |
|------------|--|
| 0xFFFFFC3C | Control Register (0x00000004)の初期値                              |
| 0xFFFFFC3D | ch0～ch15 Vth Register (0x00000020～0x0000003F)の bit15～bit8 の初期値 |
| 0xFFFFFC3E | Trigger Position Register (0x00000008, 0x00000009) の初期値        |
| 0xFFFFFC3F |  |