

BBT-019

ハードウェア説明書



2013年06月26日 1.0版

2013年07月17日 1.1版

2013年07月18日 1.2版

2016年11月29日 1.3版

2019年02月28日 1.4版

(株)Bee Beans Technologies

改版履歴

版	日付	内容
1.0	2013年6月26日	初版
1.1	2013年7月17日	基板寸法図追加
1.2	2013年7月18日	誤記訂正 電流値追加
1.3	2016年11月29日	型式変更 BBTX-044 → BBT-019 ADCの80MSPS品を削除
1.4	2019年2月28日	入力インピーダンスのデフォルト設定を変更

目次

1. 概要	1
2. ブロック図	1
3. 詳細仕様	3
3.1. 入力コネクタ	3
3.2. RJ45 コネクタ	4
3.3. 電源コネクタ	5
3.4. FastNIM 入力	5
3.5. FastNIM 出力	5
3.6. JTAG	6

1. 概要

本書は ADC-SiTCP-V2 基板のハードウェア仕様を記載するものです。

2. ブロック図

ADC-SiTCP-V2 基板は 16 チャンルの平衡アナログ入力を 40MSPS で AD 変換できる基板です。測定結果や設定を行える Ethernet を有します。また、測定のタイミングに用いることができる FastNIM の入力が2チャンネルと出力が1チャンネルあります。

アナログ入力は、80 極の FX2-80P-1.27DSL(71) (以後入力コネクタ) を介してユーザの用意する基板 (以後アナログ基板) と接続されます。このコネクタにはアナログ基板を制御するための4本の信号が FPGA と直接接続されています。電源は、JK-1 コネクタまたは入力コネクタから 3.3V を供給して使用します。なお、入力コネクタの 3.3V に方向性はありません。電源の供給・受給の何れでも使用できます。

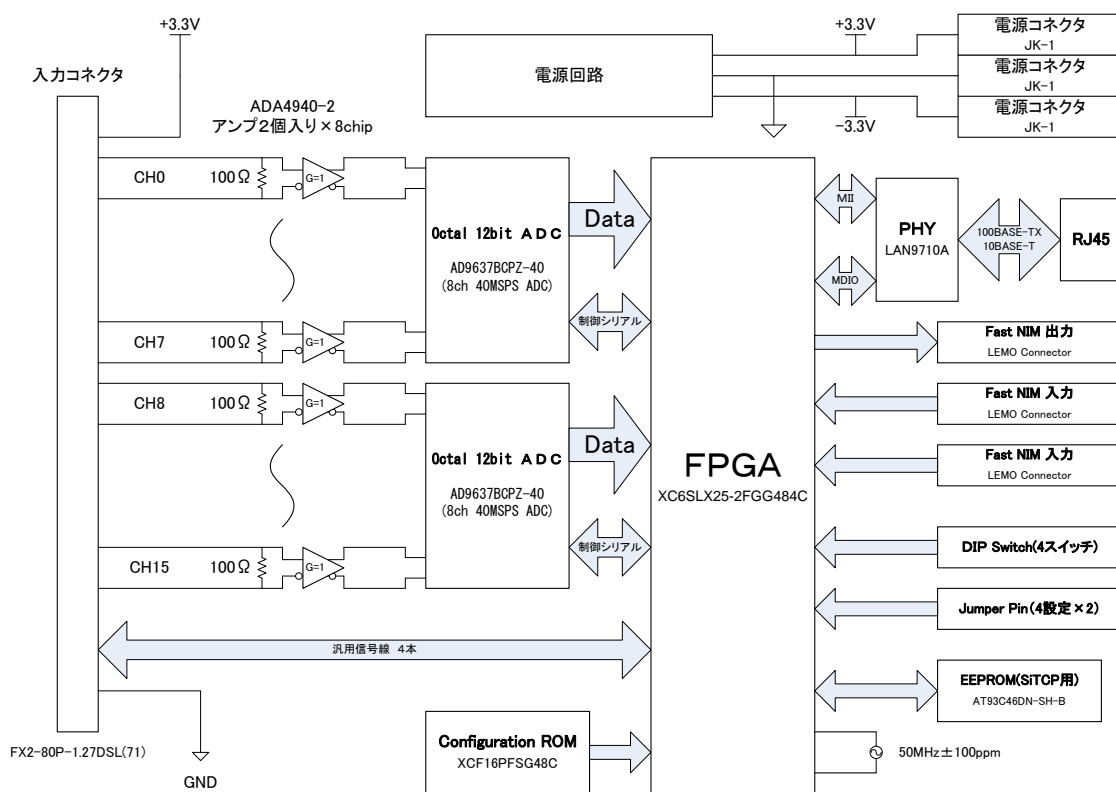


図 2-1 ADC-SiTCP-V2 基板ブロック図

表 2-1 ADC-SiTCP 基板の主要構成部品

部品名	品番	メーカー	個数	説明
入力コネクタ	FX2-80P-1.27DSL(71)	ヒロセ	1	アナログ基板との接続 ピン配は表 3-1 を参照
入力アンプ	ADA4940-2ACPZ	ANALOG DEVICES	8	Dual Differential ADC Driver
ADコンバータ	AD9637BCPZ-40	ANALOG DEVICES	2	Octal 12bit 40MSPS AD コンバータ
FPGA	XC6SLX25-2FGG484C	XILINX	1	Spartan-6 43,661 Logic Cells
	XCF16PFSG48C	XILINX	1	Configuration PROM 16Mbit
Ethernet	LAN8710A	SMSC	1	MII 10/100 Ethernet
電源コネクタ	JK-1 赤 JK-1 黒 JK-1 青	MAC8	1	赤: +3.3V±5% 黒: GND 青: -3.3V±5%
FastNIM 入力	EPL.00.250.NTN	LEMO	2	Vth: 約-0.4V
FastNIM 出力	EPL.00.250.NTN	LEMO	1	約 0V~約-0.8V
発振器	KC7050B50.00C31A00	KYOCERA	1	50MHz±100ppm

※品番・メーカーは互換品を使用する場合があります。

3. 詳細仕様

ADC-SiTCP 基板の各部の詳細仕様を説明します。

3.1. 入力コネクタ

アナログ入力、制御信号、電源を収容する 80 極のコネクタです。ピン配置を表 3-1 に示します。

表 3-1 入力コネクタのピン配置

ピン番	信号名	ピン番	信号名	ピン番	信号名	ピン番	信号名
A1	GND	A21	GND	B1	GND	B21	GND
A2	GND	A22	GND	B2	GND	B22	GND
A3	INP[0]	A23	INP[10]	B3	INP[1]	B23	INP[11]
A4	INM[0]	A24	INM[10]	B4	INM[1]	B24	INM[11]
A5	GND	A25	GND	B5	GND	B25	GND
A6	GND	A26	GND	B6	GND	B26	GND
A7	INP[2]	A27	INP[12]	B7	INP[3]	B27	INP[13]
A8	INM[2]	A28	INM[12]	B8	INM[3]	B28	INM[13]
A9	GND	A29	GND	B9	GND	B29	GND
A10	GND	A30	GND	B10	GND	B30	GND
A11	INP[4]	A31	INP[14]	B11	INP[5]	B31	INP[15]
A12	INM[4]	A32	INM[14]	B12	INM[5]	B32	INM[15]
A13	GND	A33	GND	B13	GND	B33	GND
A14	GND	A34	GND	B14	GND	B34	GND
A15	INP[6]	A35	CLK	B15	INP[7]	B35	SDIN
A16	INM[6]	A36	GND	B16	INM[7]	B36	GND
A17	GND	A37	RSV[1]	B17	GND	B37	RSV[2]
A18	GND	A38	GND	B18	GND	B38	GND
A19	INP[8]	A39	+3.3V	B19	INP[9]	B39	+3.3V
A20	INM[8]	A40	+3.3V	B20	INM[9]	B40	+3.3V

※ 基板を下、コネクタを上にした時に上側のコンタクトがA列になります。

※ コネクタ嵌合面に向かって右側が A1,B1 となります。

表 3-2 入力コネクタの信号の説明

信号名	説明	
INP[15:0] INM[15:0]	アナログ入力です。	
	伝送方式	平衡 (INP が+側)
	入力インピーダンス	約 95Ω (約 2kΩ オプション)
	入力電圧範囲	-3.3V~3.3V (負電源動作時)
	信号入力範囲 (INP-INM)	±1V
CLK SDIN RSV[2:1]	FPGA に直接接続されています。信号名は回路図上の名前です。 (信号名に意味はありません)	
	伝送方式	LVTTL, LVCMOS33
	電圧レベル	3.3V
+3.3V	+3.3V±5% 2Amax ADC-SiTCP のメイン電源です。(図 3-1 参照)	
GND	グラウンドです。	
-3.3V	-3.3V±5% 1Amax ADC-SiTCP の入力アンプのマイナス側電源です。(図 3-1 参照)	

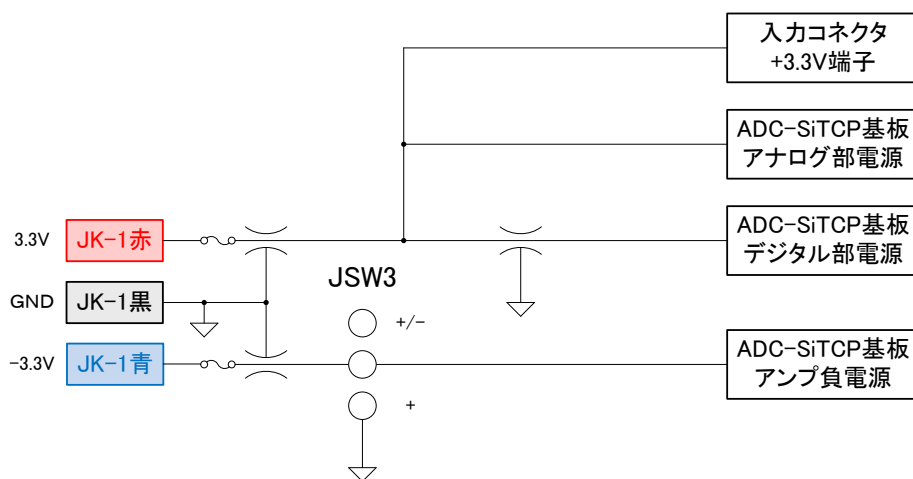


図 3-1 電源接続図

3.2. RJ45 コネクタ

RJ45 コネクタは、100BASE-TX または 10BASE-T の規格に準拠します。コネクタの黄色の LED は、100BASE-T で動作中に点灯します。緑の LED は、LINK アップで点灯します。また、通信中に点滅します。

3.3. 電源コネクタ

電源コネクタは、+3.3V と-3.3V の電源供給のためのコネクタです。赤、黒、青のコネクタからなり、赤に+3.3V、黒にGND、青に-3.3Vを接続します。φ2mm のオスピンと水平方向または垂直方向から勘合できるコネクタです。

なお、-3.3V は入力アンプの電源のみに使用しています。従って、3.3V 以外のデジタル電源は ADC-SiTCP 基板内部で+3.3V から生成します。電源の概略については、図 3-1 を参照してください。

3.4. FastNIM 入力

FastNIM 入力用の LEMO コネクタを2つ搭載しています。レベルコンバート後に FPGA に接続しています。入力が解放または V_{th} より大きいとき FPGA の入力は H となります。

表 3-3 FastNIM 入力

項目	仕様
入力電圧範囲	-4V~5V
入力インピーダンス	50Ω
ヒステリシス	50mV(typ)
閾値	約 0.4V

3.5. FastNIM 出力

FastNIM 出力用の LEMO コネクタを1つ搭載しています。FPGA からの出力をレベルコンバートして出力します。FPGA の出力が H の時に FastNIM の出力が低くなります。また、FPGA の出力が L の時に FastNIM の出力は約 0V となります。

表 3-4 FastNIM 出力

項目	仕様
50Ω 終端時の H レベル	-100mV~0mV
50Ω 終端時の L レベル	-1100mV~-640mV
50Ω 終端時の振幅	640mV~1000mV

3.6. JTAG

FPGA やコンフィギュレーション ROM にファームウェアを書き込むための JTAG コネクタ(CN5)を有します。コネクタは、XILINX の PLATFORM CABLE USB- II と同じピン配置となっています。ピン配置は図 3-2 を参照してください。JTAG の接続図は図 3-3 を参照してください。

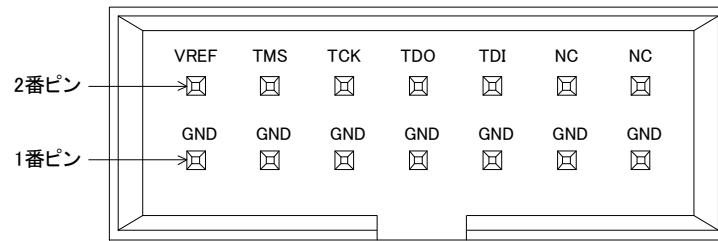


図 3-2 JTAG コネクタピン配置

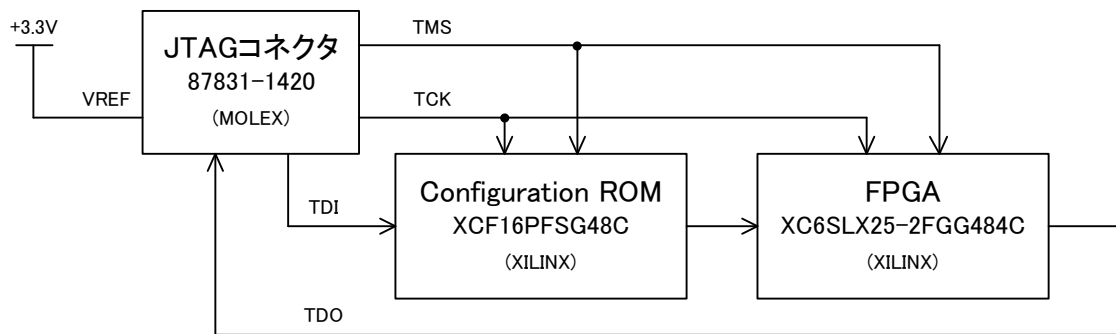


図 3-3 JTAG 配線図

