

ADC-SiTCP
FPGA 機能仕様書



2011 年 08 月 15 日 1.0 版

2011 年 10 月 5 日 1.1 版

(株)Bee Beans Technologies

改版履歴

版	日付	内容
1.0	2011年8月15日	初版
1.1	2011年10月5日	NIM OUT の削除 (MEMTEG の RESET に割り当て)

目次

1. 概要	1
2. MEMTEG 信号出力	1
3. SiTCP (TCP) データ	2
3.1. SiTCP データフォーマット	3
4. RBCP (UDP) アクセス	4
4.1. Version 情報 (0x0~0x3)	5
4.2. Miscellaneous 読み出しレジスタ (0x4~0x5)	5
4.3. Miscellaneous 設定レジスタ(0x6)	5
4.4. サンプリング調整レジスタ(0x7)	6
4.5. ROWCLK パルス幅レジスタ (0x8)	6
4.6. リセットパルス幅レジスタ (0x9)	6
4.7. リセットから読み出し開始までの時間設定レジスタ (0xA~0xC)	6
4.8. 読み出し完了からリセットまでの時間設定レジスタ (0xD~0xF)	6

1. 概要

本資料は ADC-SiTCP 基板に搭載されている FPGA(XC6SLX25-2FGG484C) の機能を記載するものです。

2. MEMTEG 信号出力

RESET、COLSET、COLCLK、ROWSEL、ROCLK の5本の信号を出力して、16本のアナログ信号をADCでデジタルに変換して入力します。アナログ信号はROWCLKの立下りでサンプルされます。(ADCの変換時間を考慮してROWCLKが立ち下がった時刻にサンプルされた値を測定します。)

なお、サンプル時刻は 25ns 単位で調整できます。図中の時刻は、表で示す範囲で変更できます。

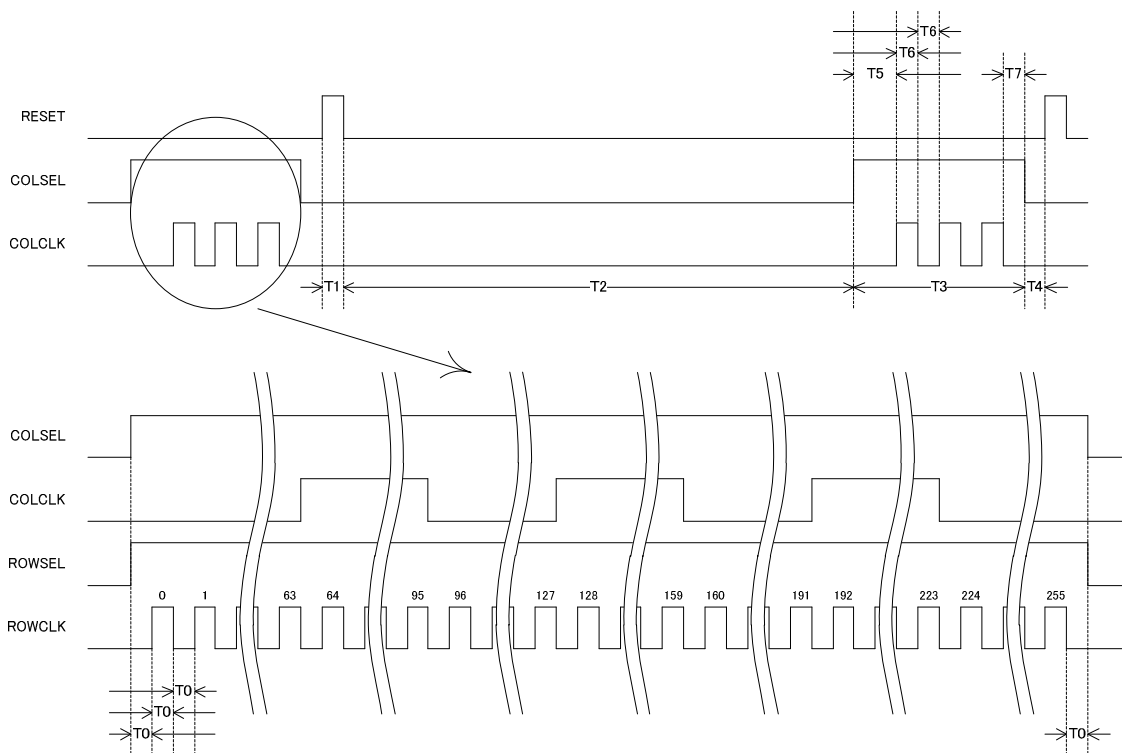


図 2-1 MEMTEG の波形

表 2-1 MEMTEG 信号のタイミング

タイミング名		設定できる時間	初期値
記号	説明		
T0	ROWCLK の H 期間 ROWCLK の L 期間 ROWSEL ↑ から ROWCLK ↑ ROWCLK ↓ から ROWSEL ↓	25ns 単位で 25ns~6.4 μs で設定可能	50ns
T1	リセット時間	25ns 単位で 25ns~6.4 μs で設定可能	100nS
T2	リセット ↓ から ROWSEL ↑ リセット ↓ から COLSEL ↑	25ns 単位で 0ns~419ms で設定可能	774.25 μs
T3	読み出し時間 (ROWSEL=H、COLSEL=H)	T0 × 513 (T0 によって決定されます)	25.65 μs
T4	ROWSEL ↓ からリセット ↑ COLSEL ↓ からリセット ↑	25ns 単位で 0ns~419ms で設定可能	0.00 μs
T5	COLSEL ↑ から COLCLK ↑	T0 × 128 (T0 によって決定されます)	6.40 μs
T6	COLCLK の H 期間 COLCLK の L 期間	T0 × 64 (T0 によって決定されます)	3.20 μs
T7	COLCLK ↓ から COLSEL ↓	T0 × 65 (T0 によって決定されます)	3.25 μs

I

3. SiTCP (TCP) データ

ディップスイッチの4を ON にした場合、SiTCP の TCP/IP アドレスとポート番号は、表 3-1 の通りとなります。MEMTEG のデータは常に作成されているため、セッションを確立するとデータの送信が開始します。

表 3-1 SiTCPの設定値

項目	値
IPアドレス	192. 168. 10. 16
ポート番号	24

3.1. SiTCP データフォーマット

MEMTEG のタイミングでサンプルされたデータは、TCP セッション確立と同時に送信が開始されます。データはDOUPT[0]/DOUTM[0]からのデータ256個から順にDOUPT[15]/DOUTM[15]からのデータ256個まで順に格納します。

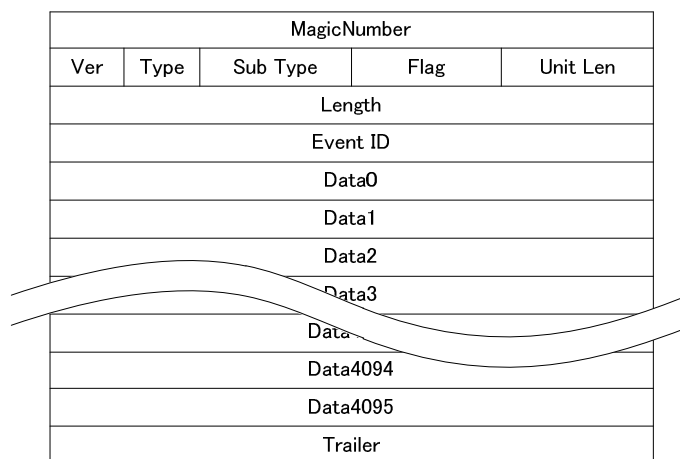


図 3-1 SiTCP データフォーマット

表 3-2 SiTCP データフォーマット中のフィールド

フィールド名	フィールド長	説明
MagicNumber	32bit	0xFFFF5555 の固定値
Ver	4bit	0x0 の固定値
Type	4bit	0x1 の固定値
Sub Type	8bit	0x00 の固定値
Flag	8bit	0xc0 の固定値
Unit Len	8bit	0x04 の固定値
Length	32bit	0x00004000 の固定値
Event ID	32bit	セッション確立してからのデータ生成回数 ・初回は0で送信 ・オーバーフローによる破棄時にもカウントする
Data	32bit × 256 × 16ch	ADC のデータ ・データ長は常に 32bit ・有効データ長はデフォルトで 12bit
Trailer	32bit	0x00000000 の固定値

4. RBCP (UDP) アクセス

RBCP 用いてモジュールのレジスタにアクセスします。RBCP で使用する IP アドレスとポート番号は、ディップスイッチの4を ON にした場合、表 4-1 の通り(IP アドレスは SiTCP と同じ)となります。RBCP のメモリマップを表 4-2 に示します。

表 4-1 RBCP の設定値

項目	値
IPアドレス	192. 168. 10. 16
ポート番号	4660

表 4-2 RBCP でのメモリマップ

アドレス(HEX)		BYTE	用途
開始	終了		
0	3	4	Version 情報(0x20110808 固定)
4	5	2	Miscellaneous 読み出しレジスタ
6	6	1	Miscellaneous 設定レジスタ
7	7	1	サンプルタイミング調整レジスタ
8	8	1	ROWCLK パルス幅レジスタ
9	9	1	リセットパルス幅レジスタ
A	C	3	リセットから読み出し開始までの時間設定レジスタ
D	F	3	読み出し完了からリセットまでの時間設定レジスタ
0x4000	0x5FFF	8096	ADC1 のレジスタ
0x6000	0x7FFF	8096	ADC2 のレジスタ

4.1. Version 情報 (0x0~0x3)

FPGA を区別する ID です。値に意味はありません。現在 0x20110808 が読み出されます。

4.2. Miscellaneous 読み出しレジスタ (0x4~0x5)

雑多な読み出し情報を収容しているレジスタです。

表 4-3 Miscellaneous 読み出しのビットマップ

ビット位置	意味
bit15~bit8	ジャンパの状態
bit7	NIM-IN2 コネクタ入力の状態
bit6	NIM-IN1 コネクタ入力の状態
bit5~bit4	未使用(0固定)
bit3~bit0	ディップスイッチの状態

4.3. Miscellaneous 設定レジスタ(0x6)

雑多な設定を収容しているレジスタです。

表 4-4 Miscellaneous 読み出しのビットマップ

ビット位置	意味
bit7	MEMTEG UPDATE 1の書き込みで MEMTEG 信号のタイミングが適用されます。
bit6	未使用
bit5	TCP に出力するアナログデータの順序を逆にする
bit4	未使用
bit3~bit0	面実装 LED の設定

4.4. サンプリング調整レジスタ(0x7)

TCP で出力するアナログデータのサンプリング位置を微調整します。設定できる範囲は下式の通りとなります。設定値が 0 の時、ROWCLK の立下りでサンプルとなります。単位は 25ns で設定値がマイナスの時は ROWCLK の立下りの前、プラスの時間が後ろとなります。このレジスタは、書き込みと同時に有効になります。

$$-(CKC+10) < \text{サンプリング調整レジスタ} < (245 - CKC)$$

※CKC は「ROWCLK パルス時間レジスタ」の値です。

4.5. ROWCLK パルス幅レジスタ (0x8)

MEMTEG 信号の ROWCLK の周期の 1/2 時間を設定します。(設定値+1) × 25ns × 2 が周期となります。「図 2-1 MEMTEG の波形」の T0 で示される時間は、(設定値+1) × 25ns です。値を設定した後に MEMTEG UPDATE を行う必要があります。

4.6. リセットパルス幅レジスタ (0x9)

MEMTEG 信号の RESET のパルス幅を設定します。(設定値+1) × 25ns がパルス幅となります。「図 2-1 MEMTEG の波形」の T1 で示される時間です。値を設定した後に MEMTEG UPDATE を行う必要があります。

4.7. リセットから読み出し開始までの時間設定レジスタ (0xA~0xC)

MEMTEG 信号の RESET が L になってから COLSEL や ROWSEL が H になるまでの時間を設定します。設定値は 25ns 単位で 0 から設定できます。「図 2-1 MEMTEG の波形」の T2 で示される時間です。値を設定した後に MEMTEG UPDATE を行う必要があります。

4.8. 読み出し完了からリセットまでの時間設定レジスタ (0xD~0xF)

MEMTEG 信号の COLSEL や ROWSEL が L になってから RESET が H になるまでの時間を設定します。設定値は 25ns 単位で 0 から設定できます。「図 2-1 MEMTEG の波形」の T4 で示される時間です。値を設定した後に MEMTEG UPDATE を行う必要があります。