SEABAS3 + SEABAS3M-ADC32

機能説明書

E240702-902

2026 年 9 月 28 日　2.1.2 版

承認	確認	作成
BBT '26.9.28 石綿	BBT '26.9.28 石綿	BBT '26. 9. 28 野堀

㈱Bee Beans Technologies

改版履歴

版数	FPGA Version	日付	内容
1.0.3	20250116	2025/01/21	初版制定
1.1.2	20250131	2025/02/18	テストモード機能追加および初期値の誤記修正 ・6.2.24 TEST_MODE レジスタ（0x00000038） ASIC 制御シーケンスの状態表示レジスタ追加 ・6.2.28 ASIC_STS（0x0000003D~0x0000003E） メモリ帯域を考慮した記述を追記 ・6.2.10 PIXSCANTIME レジスタ （0x0000000F~0x00000010）
1.2.1	20250717	2025/07/17	図 5-1 誤記訂正(DAQFlag≠0 → DAQFlag＝0) 表 5-2 脚注の誤記修正（DAQFlag=3 → DAQFlag=2） 表 5-3 DAQFlag の誤記修正 （2:Trig Clock → 2:Trig Clock（RST_x=L 固定）） （3:Trig Clock（RST_x=L 固定） → 3:Trig Clock） 図 5-2 脚注の誤記修正（DAQFlag=3 → DAQFlag=2） 6.2.3 DAQFlag レジスタ（0x00000000）の誤記修正 （DAQFlag=3 → DAQFlag=2） 表 6-6 設定値 2 の誤記修正 （Trig Clock → Trig Clock（RST_x=L 固定）） 表 6-6 設定値 3 の誤記修正 （Trig Clock（RST_x=L 固定） → Trig Clock） 表 5-1 仕様変更に伴い以下の信号を修正 ・RAEN_x を 1 固定から 0 固定に変更 ・CAEN を 0 固定から 1 固定に変更 図 6-2 仕様変更により以下を修正 ・Trailer を 0x55AA_AA55 から 0xBBBB_4444 に変更
1.3.0	20250722	2025/07/22	FPGA プログラムにて以下の不具合を修正（本文修正なし） ・アドレス 0x0000_000A の書込み不良 ・バックツーバック時にトレーラ順序が入れ替わる不良

2.0.10	20260301	2026/03/23	以下の変更に対応しました ・ SEMTEG2 対応 ・ INTPIX4NUHT ・ 2x2 ビニングモード対応 ・ Trig Clock 周期 5Hz 追加 ・ AOUTA 対応
2.1.2	20260603	2026/09/28	FPGA プログラムにて以下の不具合を修正（本文修正なし） ・INTPIX4NUHT で AOUTA を使用した読み出し時の不具合 以下の誤記修正（INTPIX4_CTRL → ASIC_CTRL） ・3.6.4、7.2、7.3、表 8-1、図 8-3

【目次】

1. 概要 1
2. 基板寸法・重量 2
3. 基板の説明 3
   3.1. 電源入力 3
   3.2. スイッチ 4
   3.3. LED 6
   3.4. ASIC_DAC 7
   3.5. BIAS_DAC 7
   3.6. コネクタ 8
      3.6.1. サブボードコネクタ 8
      3.6.2. ADC メザニンコネクタ 15
      3.6.3. SFP+ケージ 18
      3.6.4. 入出力コネクタ 19
      3.6.5. テストピン 20
      3.6.6. JTAG コネクタ 20
   3.7. DDR3 メモリ 20
   3.8. ASIC_LV 電源 21
   3.9. FPGA 21
4. SEABAS3M-ADC32_V1 22
5. ASIC 制御シーケンス 24
   5.1. INTPIX4NUHT 24
   5.2. SEMTEG2 Fast Readout Mode 28
   5.3. SEMTEG2 Time Frame Readout Mode 34
6. Ethernet 40
   6.1. TCP データ 40
      6.1.1. INTPIX4NUHT 41
      6.1.2. INTPIX4NUHT 2x2 Binnig mode 42
      6.1.3. SEMTEG2 Fast Readout mode 43
      6.1.4. SEMTEG2 Time Frame Readout mode 44
      6.1.5. SEMTEG2 TEG 44
   6.2. UDP データ 45
      6.2.1. Version レジスタ（0xFFFFFF00~0xFFFFFF03） 49
      6.2.2. Identifier レジスタ（0xFFFFFF04~0xFFFFFF07） 49
      6.2.3. DAQFlag レジスタ（0x00000000） 49

6.2.4. CDS_RSTV(ASIC_DAC0) レジスタ(0x00000001~0x00000002) 50
6.2.5. RSTV(ASIC_DAC1) レジスタ(0x00000003~0x00000004) 50
6.2.6. IIN1(ASIC_DAC2) レジスタ(0x00000005~0x00000006) 50
6.2.7. IIN2(ASIC_DAC3) レジスタ(0x00000007~0x00000008) 50
6.2.8. RSTHITIME レジスタ(0x0000000A) 51
6.2.9. INTEGTIME レジスタ(0x0000000B~0x0000000E) 51
6.2.10. PIXSCANTIME レジスタ(0x0000000F~0x00000010) 51
6.2.11. CSR (0x0000001A) 51
6.2.12. RAWaitTime レジスタ(0x0000001B) 52
6.2.13. TrigCLKSelect レジスタ(0x0000001C) 52
6.2.14. Ntrigger レジスタ(0x0000001D~0x0000001E) 52
6.2.15. ASIC TYPE レジスタ(0x00000022) 53
6.2.16. TEG レジスタ(0x00000023) 53
6.2.17. EXT_FLAG レジスタ(0x00000024) 54
6.2.18. ADC_STATUS レジスタ(0x0000002E) 56
6.2.19. ADC_CONTROL レジスタ(0x0000002F) 56
6.2.20. BIAS_DAC0(0x00000030~0x00000031) 57
6.2.21. BIAS_DAC1 レジスタ(0x00000032~0x00000033) 57
6.2.22. BIAS_DAC2 レジスタ(0x00000034~0x00000035) 57
6.2.23. BIAS_DAC3 レジスタ(0x00000036~0x00000037) 57
6.2.24. TEST_MODE レジスタ(0x00000038) 58
6.2.25. IO_TEST レジスタ(0x00000039~0x0000003A) 59
6.2.26. LED_TEST(0x0000003B) 60
6.2.27. DIPSW_TEST(0x0000003C) 60
6.2.28. ASIC_STS(0x0000003D~0x0000003E) 61
6.2.29. ASIC_DAC Area(0x00000400~0x000005FF) 61
6.2.30. BIAS_DAC Area(0x00000600~0x000007FF) 61
6.2.31. SFP_PlusArea(0x00000800~0x00000FFF) 61
6.2.32. ADC0 Area(0x00008000~0x00009FFF) 62
6.2.33. ADC1 Area(0x0000A000~0x0000BFFF) 62
6.2.34. ADC2 Area(0x0000C000~0x0000DFFF) 62
6.2.35. ADC3 Area(0x0000E000~0x0000FFFF) 62
6.2.36. DRAM Area(0x10000000~0x1FFFFFFF) 62
6.2.37. SiTCPXG Area2(0xFFFFFC00~0xFFFFFCFF) 62
6.2.38. SiTCPXG Area4(0xFFFFFF00~0xFFFFFFFF) 62
7. 補足説明 63

7.1. 初期化 63
7.1.1. DAC の初期化 63
7.1.2. ADC の初期化 63
7.1.3. SFP の初期化 64
7.2. ADC タイミング 65
7.3. テストモードでの TCP データ 66
8. FPGA プログラム解説 67
8.1. ブロック図 67
8.2. 階層図 68
8.3. クロック 70
8.4. リセット 72

1. 概要

本機能説明書（以下、本書）は SEABAS3_V1 に SEABAS3M_ADC32_V1 メザニンカードを実装した状態で SEABAS3_V1 基板に実装されている SPI-Flash(MT25QL128ABA1EW7-0SIT)に SEABAS3.mcs（以下、本 FPGA プログラム）を書き込んだ状態での機能を説明します。SPI-Flash に書き込まれた FPGA プログラムは電源投入時に基板上の Kintex7 FPGA（XC7K160T-2FFG676C：以下 FPGA）に転送されます。なお、使用に先立ち、ASIC_HV の電圧設定（CN7,CN8,CN9）及び ASIC_LV 電圧の調整を必ず行ってください。

SEABAS3_V1 はメザニンカードを変更することで SEABAS2 と互換に使用できるように設計してありますが異なる部分もあります。NIM 入出力は LVDS 拡張コネクタと合わせて FPGA のピンを直接入出力コネクタに接続しています。従って NIM 入出力に変換するための回路が別途必要になります。また、SEABAS2 では 1GbE の SiTCP を搭載していましたが、SEABAS3_V1 では 10GbE の SiTCPXG が搭載可能となっています。新たに 256Mbyte の DDR3 メモリを搭載してあります。SEABAS2 では ADC のバイアスは VR でしたが SEABAS3_V1 では DAC となっています。主な違いを表 1-1 に示します。

表 1-1 SEABAS2 との違い

項目	SEABAS2	SEABAS3_V1
ADC チャネル数	16ch 内蔵	メザニンカードに搭載
NIM 入出力	NIM 入力4ch、NIM 出力2ch	外付け用コネクタ※1
LVDS 拡張コネクタ	10 ピン MIL コネクタ	20 ピン MIL コネクタ※2
Ethernet コネクタ	RJ45	SFP+
ASIC_HV	3.3V 固定	3.3V または 1.8V
外付けメモリ	なし	DDR3 (256M Byte)
プリアンプ用バイアス電圧	可変抵抗	DAC（4ch）

※1　NIM 入出力用 FPGA の 3.3V バンクピンを 8 本収容コネクタ（NIM レシーバ・ドライバは外付け）

※2　NIM 入出力用ピンも収容

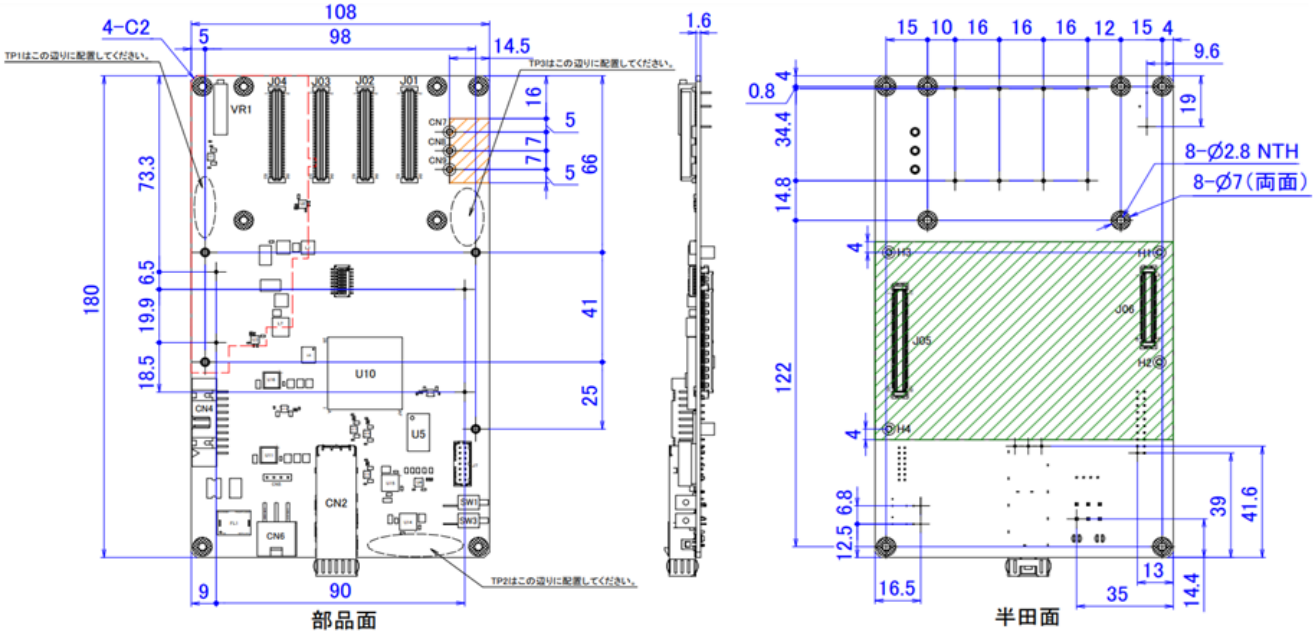
2. 基板寸法・重量

図 2-1 に SEABAS3_V1 基板の詳細寸法を示します。なお、この図において寸法の指定がない部品については設計前の配置であり実物と異なる場合があります。表 2-1 は、SEABAS3_V1 に SEABAS3M_ADC32_V1 メザニンカードを実装した状態での寸法・重量です。2 つの基板を組み上げるネジやヒートシンクを含んでいます。

表 2-1 基板寸法・重量

項目	仕様	備考
寸法(L×W×H)	180mm×108mm×26.4mm※	突起部含まず
基板重量	178g	SFP+などのアクセサリ含まず

※ SEABAS3_V1 上のヒートシンク高さ:15.2mm , SEABAS3M_ADC32_V1 上のテストピン 3mm



※ 基板下側の ADC は発熱します。ADC の放熱に影響がないように設置して下さい。

※ 基板を横に立てると放熱性能が向上します。立てる場合は図の J01 下、J04 上を推奨します。

図 2-1 SEABAS3_V1 基板寸法

3. 基板の説明

3.1. 電源入力

電源は SEABAS3_V1 の CN6 から供給します。電源の仕様を表 3-1 に示します。

表 3-1 電源仕様

項目	仕様
コネクタ部品番号	39301060(molex)
電源電圧(推奨)	12V±10%(10.8V～13.2V)
電源電圧(絶対定格)	9.8V～20V
供給最大電源電流	6A(PTC ホールド電流)
PTC トリップ電流	12A
ピン配置	+12V:1ピン、4ピン GND:3ピン、6ピン
標準電流(J1～J4 開放時)	1.3A

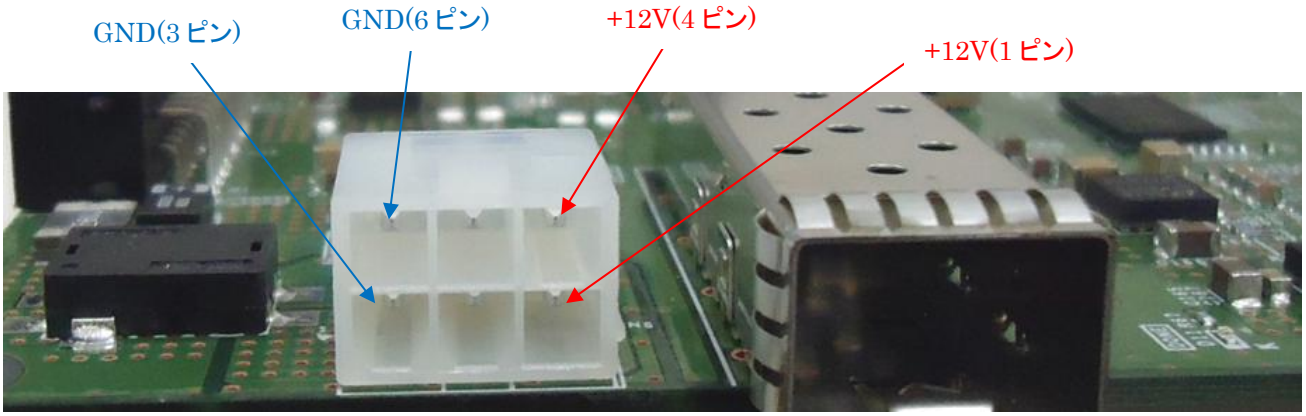


図 3-1 電源コネクタ(CN6)

3.2. スイッチ

SEABAS3_V1 には2つのプッシュスイッチ、1つの DIP スイッチ、1つのジャンパ、1つの電源セレクタが実装されています。各スイッチの仕様を表 3-2 に示します。

表 3-2 スイッチ仕様

スイッチ名	リファレンス	機能
リコンフィグ・スイッチ	SW3	押下することで FPGA プログラムを再ロードします。
リセット・スイッチ	SW1	押下することで FPGA は初期状態から再起動します。
DIP スイッチ	SW2	1～6 は汎用 LED 表示するレジスタアドレスを設定します。レジスタアドレスの A0～A5 に対応します。ON にすると1、OFF で0として認識します。 7, 8 はサブボードに搭載されている ASIC を設定します。 (7,8) = (OFF,OFF): INTPIX4NUHT (7,8) = (ON,OFF): SEMTEG2 ※ 上記以外の設定は予約値です。 7,8 の設定値は FPGA リセット解除時の値が保持されます。保持された値は、ASIC TYPE レジスタで確認できます。 FPGA の動作は、保持された値に従います。
ForceDefault	CN3	短絡することで SiTCP-XG を ForceDefault に設定できます。
ASIC_HV 設定	CN7,CN8,CN9	ASIC_HV の電圧を 1.8V または 3.3V のいずれかに設定できます。

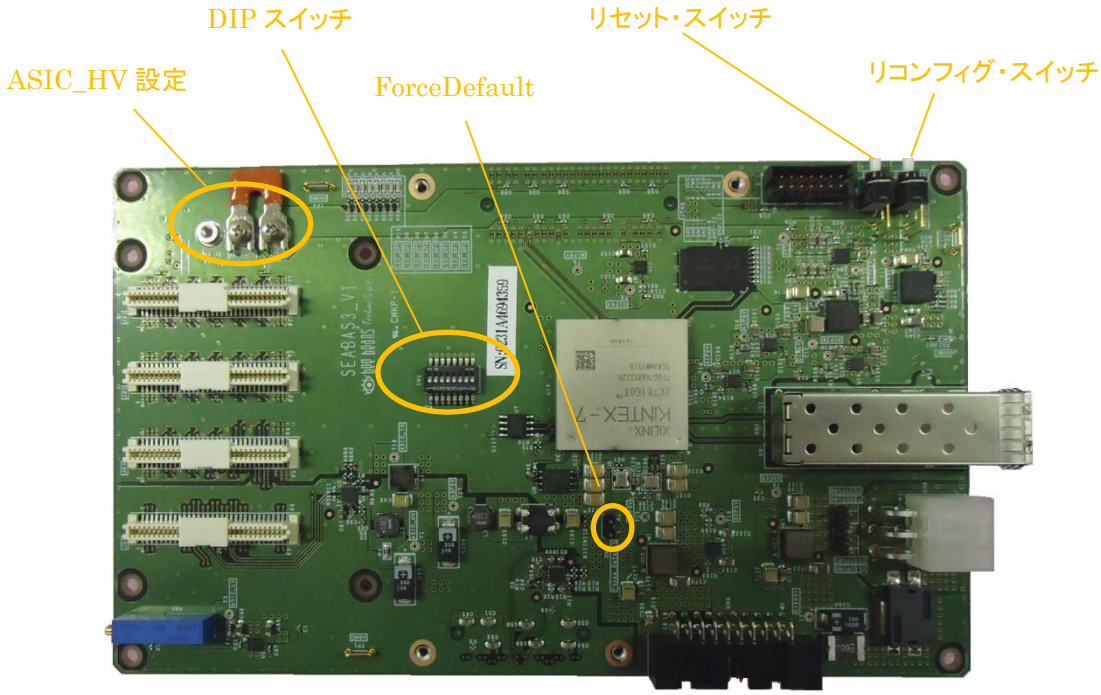


図 3-2　スイッチの位置

3.3. LED

SEABAS3_V1 には 2 つの Ethernet 状態 LED と 8 つの汎用 LED と 1 つの FPGA 状態表示の LED が実装されています。各 LED の仕様を表 3-3 に示します。「Ethernet 状態 LED」は SFP ケージの下、半田面実装です。

表 3-3 LED 仕様

LED 名	リファレンス	機能
LINK LED	D1	Link が確立すると点灯します。
ACT LED	D2	通信があると点滅します。
汎用 LED	D3(LED_GP0) D4(LED_GP1) D5(LED_GP2) D6(LED_GP3) D7(LED_GP4) D8(LED_GP5) D9(LED_GP6) D10(LED_GP7)	DIP スイッチで指定したレジスタ状態を表示します。 LED_GP0 が bit0、LED_GP7 が bit7 に対応します。 1が点灯、0が消灯で表示します。
DONE LED	D11	FPGA プログラムのロードが正常に行われると点灯します。

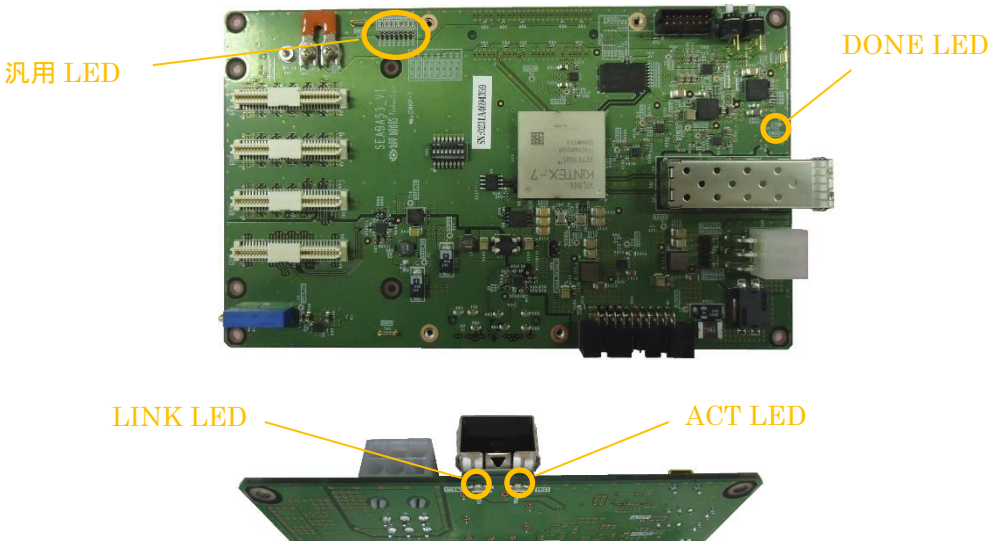


図 3-3 LED の位置

3.4. ASIC_DAC

ASIC_DAC はサブボードコネクタ J04 の ASIC_DAC[3:0]に接続されます。DAC の仕様を表 3-4 に示します。

表 3-4　ASIC_DAC 仕様

項目	仕様
DAC 型番	DAC63204RTER
分解能	12bit
リファレンス電源※1	内蔵（1.21V）
最大出力電圧（出荷時）※2	1.815±0.031V
初期値※3	0±0.005V
DAC-OUT0	ASIC-DAC0 (CDS_RSTV)
DAC-OUT1	ASIC-DAC1 (RSTV)
DAC-OUT2	ASIC-DAC2 (IIN1)
DAC-OUT3	ASIC-DAC3 (IIN2)

※1 リファレンス電源に A3P3V(電源)も指定できます。

※2 最大電圧はリファレンス、GAIN を変更することで変更できます。

※3 初期値は変更できます。

3.5. BIAS_DAC

BIAS_DAC はメザニンコネクタ J06 の BIAS_DAC[3:0]に接続されます。DAC の仕様を表 3-5 に示します。

表 3-5　BIAS_DAC 仕様

項目	仕様
DAC 型番	DAC63204RTER
分解能	12bit
リファレンス電源※1	内蔵（1.21V）
最大出力電圧（出荷時）※2	1.815±0.031V
初期値※3	0.900±0.018V
DAC-OUT0	BIAS-DAC0
DAC-OUT1	BIAS-DAC1
DAC-OUT2	BIAS-DAC2
DAC-OUT3	BIAS-DAC3

※1 リファレンス電源に A3P3V(電源)も指定できます。

※2 最大電圧はリファレンス、GAIN を変更することで変更できます。

※3 初期値は変更できます。

3.6. コネクタ

3.6.1. サブボードコネクタ

サブボードコネクタは J01(J1),J02(J2),J03(J3),J04(J4)で構成されます。

J01～J03 はデジタル用コネクタです（例外的に J03 の一部にアナログ信号が収容されています）。デジタル用 GND として DGND とデジタル用 3.3V(ASIC_3P3V)を供給しています。なお、デジタル用 3.3V にはホールド電流 1.25A（Ta40℃）の PTC が挿入されています。なお、J03 に収容されている ASIC_D[115:108] は、XADC 兼用ピンに割り当てられています。ASIC_D[2n+108] が＋側で ASIC_D[2n+109]がー側です。本 FPGA プログラムでは XADC は未対応です。メモリコントローラはタイミング補正に用いるデバイス温度を取得するために XADC を使用しています。XADC を使用する場合は、ユーザ設計側で XADC をインスタンシエートして制御し、取得した温度データをメモリコントローラへ提供してください。

J04 はアナログ用コネクタです。アナログ用 GND として AGND とアナログ電源である ASIC_HV と ASIC_LV を収容しています。ASIC_HV は、3.3V または 1.8V に設定できます。3.3V にする場合は CN7 と CN8 間を短絡してください。1.8V にする場合は CN8 と CN9 間を短絡してください。なお、本 FPGA プログラムでは 1.8V に設定してください。ASIC_HV の電圧は FPGA の HR バンク 12,13,15 のバンク電源電圧となります。したがって ASIC_HV の電圧は FPGA プログラムでの IO スタンダード指定と一致させてください。ASIC_LV の電圧は VR1 で 0.8V~2.0V の範囲で調整可能となっています。サブボード接続前に電圧を調整してください。

ASIC_HV にはホールド電流 1.25A(Ta40℃)の PTC が ASIC_LV にはホールド電流 1.5A(Ta40℃)の PTC が挿入されています。

サブボードコネクタは SEABAS2 と互換ですが、ASIC_ADC のみピンスワップしています。対応表を表 3-11 に示します。なお、SEABAS3 では、ASIC_ADC[2n]と ASIC_ADC[2n+1]がペアにできるように設計されています。

各電源の仕様を表 3-6 に、各コネクタのピン配置を表 3-7~表 3-10 に示します。

表 3-6　サブボードコネクタ電源仕様

電源名	項目	仕様
ASIC_3P3V	定格電圧	3.3V±5%
	定格電流	1A
	PTC ホールド電流	1.25A（Ta40℃）
	PTC トリップ電流	3A
ASIC_HV	定格電圧	3.3V±5% , 1.8V±5% （ジャンパ設定）
	定格電流	1A
	PTC ホールド電流	1.25A（Ta40℃）
	PTC トリップ電流	3A
ASIC_LV	定格電圧	0.8V ~ 2.0V （ポテンショメータ）
	定格電流	1.5A
	LDO トリップ電流	2.3A（最小）
	LDO シャットダウン温度	160℃（ジャンクション温度）
	PTC ホールド電流	1.5A（Ta40℃）
	PTC トリップ電流	3.5A

※ ASIC_LV はシリーズレギュレータで 3.3V から作っています。出力電圧が低い場合基板温度が高いと LDO の温度保護によりシャットダウンする場合があります。

※ ASIC_3P3V はデジタル用電源です。グランドは DGND でノイズフィルタ等はありません。

※ ASIC_HV 及び ASIC_LV はアナログ電源です。グランドは AGND となります。

表 3-7　サブボードコネクタ J01 のピン配置

ピン番	信号名	旧名称	接続先		ピン番	信号名	旧名称	接続先	
			INTPIX4	SEMTEG2				INTPIX4NUHT	SEMTEG2
1	DGND	GND			2	DGND	GND		
3	ASIC_3P3V	ASIC_3.3V			4	ASIC_3P3V	ASIC_3.3V		
5	ASIC_3P3V	ASIC_3.3V			6	ASIC_3P3V	ASIC_3.3V		
7	DGND	GND			8	DGND	GND		
9	ASIC_D20	ASIC_D20	CA6		10	ASIC_D0	ASIC_D0	ENBIAS1_x	ENBIAS1_NSF_x
11	ASIC_D21	ASIC_D21	CA7	MA0	12	ASIC_D1	ASIC_D1	ENBIAS2_x	ENBIAS1_PSF_x
13	ASIC_D22	ASIC_D22	CA8	MA1	14	ASIC_D2	ASIC_D2	RST_x	RST_x
15	ASIC_D23	ASIC_D23	CA9	MA2	16	ASIC_D3	ASIC_D3	STORE_x	STORE_x
17	DGND	GND			18	DGND	GND		
19	ASIC_D24	ASIC_D24	RA8		20	ASIC_D4	ASIC_D4	RAEN_x	RAEN_x
21	ASIC_D25	ASIC_D25	RA9	CA0	22	ASIC_D5	ASIC_D5	CAEN	CAEN
23	ASIC_D26	ASIC_D26	CA0	CA1	24	ASIC_D6	ASIC_D6	EN_AOUT_x	EN_AOUT_x
25	ASIC_D27	ASIC_D27	CA1	CA2	26	ASIC_D7	ASIC_D7	EN_HG	EN_HG
27	DGND	GND			28	DGND	GND		
29	ASIC_D28	ASIC_D28	CA2	CA3	30	ASIC_D8	ASIC_D8	EN_BIN22	EN_BIAS2_x
31	ASIC_D29	ASIC_D29	CA3	CA4	32	ASIC_D9	ASIC_D9	T_ENBIAS1_x	PRECHG_x
33	ASIC_D30	ASIC_D30	CA4	CA5	34	ASIC_D10	ASIC_D10	T_RA0	FREN_x
35	ASIC_D31	ASIC_D31	CA5	CA6	36	ASIC_D11	ASIC_D11		MAEN_x
37	DGND	GND			38	DGND	GND		
39	ASIC_D32	ASIC_D32	RA7		40	ASIC_D12	ASIC_D12		
41	ASIC_D33	ASIC_D33	RA6	RA0	42	ASIC_D13	ASIC_D13	T_RA1	
43	ASIC_D34	ASIC_D34	RA5	RA1	44	ASIC_D14	ASIC_D14	T_RA2	
45	ASIC_D35	ASIC_D35	RA4	RA2	46	ASIC_D15	ASIC_D15	T_RA3	
47	DGND	GND			48	DGND	GND		
49	ASIC_D36	ASIC_D36	RA3	RA3	50	ASIC_D16	ASIC_D16	T_RA4	
51	ASIC_D37	ASIC_D37	RA2	RA4	52	ASIC_D17	ASIC_D17	T_RAEN	
53	ASIC_D38	ASIC_D38	RA1	RA5	54	ASIC_D18	ASIC_D18	T_EN_HG	
55	ASIC_D39	ASIC_D39	RA0	RA6	56	ASIC_D19	ASIC_D19	T_EN_BIN22	
57	DGND	GND			58	DGND	GND		
59	ASIC_3P3V	ASIC_3.3V			60	ASIC_3P3V	ASIC_3.3V		
61	ASIC_3P3V	ASIC_3.3V			62	ASIC_3P3V	ASIC_3.3V		
63	DGND	GND			64	DGND	GND		

表 3-8　サブボードコネクタ J02 のピン配置

ピン番	信号名	旧名称	接続先	ピン番	信号名	旧名称	接続先
1	DGND	GND		2	DGND	GND	
3	ASIC_3P3V	ASIC_3.3V		4	ASIC_3P3V	ASIC_3.3V	
5	ASIC_3P3V	ASIC_3.3V		6	ASIC_3P3V	ASIC_3.3V	
7	DGND	GND		8	DGND	GND	
9	ASIC_D60	ASIC_D60		10	ASIC_D40	ASIC_D40	
11	ASIC_D61	ASIC_D61		12	ASIC_D41	ASIC_D41	
13	ASIC_D62	ASIC_D62		14	ASIC_D42	ASIC_D42	
15	ASIC_D63	ASIC_D63		16	ASIC_D43	ASIC_D43	
17	DGND	GND		18	DGND	GND	
19	ASIC_D64	ASIC_D64		20	ASIC_D44	ASIC_D44	
21	ASIC_D65	ASIC_D65		22	ASIC_D45	ASIC_D45	
23	ASIC_D66	ASIC_D66		24	ASIC_D46	ASIC_D46	
25	ASIC_D67	ASIC_D67		26	ASIC_D47	ASIC_D47	
27	DGND	GND		28	DGND	GND	
29	ASIC_D68	ASIC_D68		30	ASIC_D48	ASIC_D48	
31	ASIC_D69	ASIC_D69		32	ASIC_D49	ASIC_D49	
33	ASIC_D70	ASIC_D70		34	ASIC_D50	ASIC_D50	
35	ASIC_D71	ASIC_D71		36	ASIC_D51	ASIC_D51	
37	DGND	GND		38	DGND	GND	
39	ASIC_D72	ASIC_D72		40	ASIC_D52	ASIC_D52	
41	ASIC_D73	ASIC_D73		42	ASIC_D53	ASIC_D53	
43	ASIC_D74	ASIC_D74		44	ASIC_D54	ASIC_D54	
45	ASIC_D75	ASIC_D75		46	ASIC_D55	ASIC_D55	
47	DGND	GND		48	DGND	GND	
49	ASIC_D76	ASIC_D76		50	ASIC_D56	ASIC_D56	
51	ASIC_D77	ASIC_D77		52	ASIC_D57	ASIC_D57	
53	ASIC_D78	ASIC_D78		54	ASIC_D58	ASIC_D58	
55	ASIC_D79	ASIC_D79		56	ASIC_D59	ASIC_D59	
57	DGND	GND		58	DGND	GND	
59	ASIC_3P3V	ASIC_3.3V		60	ASIC_3P3V	ASIC_3.3V	
61	ASIC_3P3V	ASIC_3.3V		62	ASIC_3P3V	ASIC_3.3V	
63	DGND	GND		64	DGND	GND	

表 3-9　サブボードコネクタ J03 のピン配置

ピン番	信号名	旧名称	接続先		ピン番	信号名	旧名称	接続先
			INTPIX4NUHT	SEMTEG2				
1	DGND	GND			2	DGND	GND	
3	ASIC_3P3V	ASIC_3.3V			4	ASIC_3P3V	ASIC_3.3V	
5	ASIC_3P3V	ASIC_3.3V			6	ASIC_3P3V	ASIC_3.3V	
7	DGND	GND			8	DGND	GND	
9	ASIC_D100	ASIC_D100			10	ASIC_D80	ASIC_D80	
11	ASIC_D101	ASIC_D101			12	ASIC_D81	ASIC_D81	
13	ASIC_D102	ASIC_D102			14	ASIC_D82	ASIC_D82	
15	ASIC_D103	ASIC_D103			16	ASIC_D83	ASIC_D83	
17	DGND	GND			18	DGND	GND	
19	ASIC_D104	ASIC_D104			20	ASIC_D84	ASIC_D84	
21	ASIC_D105	ASIC_D105			22	ASIC_D85	ASIC_D85	
23	ASIC_D106	ASIC_D106			24	ASIC_D86	ASIC_D86	
25	ASIC_D107	ASIC_D107			26	ASIC_D87	ASIC_D87	
27	DGND	GND			28	DGND	GND	
29	ASIC_D108	ASIC_D108			30	ASIC_D88	ASIC_D88	
31	ASIC_D109	ASIC_D109			32	ASIC_D89	ASIC_D89	
33	ASIC_D110	ASIC_D110			34	ASIC_D90	ASIC_D90	
35	ASIC_D111	ASIC_D111			36	ASIC_D91	ASIC_D91	
37	DGND	GND			38	DGND	GND	
39	ASIC_D112	ASIC_D112			40	ASIC_D92	ASIC_D92	
41	ASIC_D113	ASIC_D113			42	ASIC_D93	ASIC_D93	
43	ASIC_D114	ASIC_D114			44	ASIC_D94	ASIC_D94	
45	ASIC_D115	ASIC_D115			46	ASIC_D95	ASIC_D95	
47	DGND	GND			48	DGND	GND	
49	ASIC_ADC24	ASIC_ADC_P14	AOUT14		50	ASIC_D96	ASIC_D96	
51	ASIC_ADC25	ASIC_ADC_N14	AOUT30		52	ASIC_D97	ASIC_D97	
53	ASIC_ADC26	ASIC_ADC_P15	AOUT15		54	ASIC_D98	ASIC_D98	
55	ASIC_ADC27	ASIC_ADC_N15	AOUT31		56	ASIC_D99	ASIC_D99	
57	DGND	GND			58	DGND	GND	
59	ASIC_3P3V	ASIC_3.3V			60	ASIC_3P3V	ASIC_3.3V	
61	ASIC_3P3V	ASIC_3.3V			62	ASIC_3P3V	ASIC_3.3V	
63	DGND	GND			64	DGND	GND	

表 3-10　サブボードコネクタ J04 のピン配置

ピン番	信号名	旧名称	接続先		ピン番	信号名	旧名称	接続先	
			INTPIX4	SEMTEG2				INTPIX4	SEMTEG2
1	AGND	AGND			2	AGND	AGND		
3	ASIC_ADC4	ASIC_ADC_P9	AOUT9		4	ASIC_ADC0	ASIC_ADC_P13	AOUT13	
5	ASIC_ADC5	ASIC_ADC_N9	AOUT25		6	ASIC_ADC1	ASIC_ADC_N13	AOUT29	
7	AGND	AGND			8	AGND	AGND		
9	ASIC_HV	ASIC_HV			10	ASIC_HV	ASIC_HV		
11	ASIC_HV	ASIC_HV			12	ASIC_HV	ASIC_HV		
13	AGND	AGND			14	AGND	AGND		
15	ASIC_LV	ASIC_LV			16	ASIC_LV	ASIC_LV		
17	ASIC_LV	ASIC_LV			18	ASIC_LV	ASIC_LV		
19	ASIC_ADC8	ASIC_ADC_P10	AOUT10		20	ASIC_ADC2	ASIC_ADC_P1	AOUT1	AOUT1
21	ASIC_ADC9	ASIC_ADC_N10	AOUT26		22	ASIC_ADC3	ASIC_ADC_N1	AOUT17	
23	ASIC_ADC12	ASIC_ADC_P0	AOUT0	AOUT0	24	ASIC_ADC6	ASIC_ADC_P2	AOUT2	AOUT2
25	ASIC_ADC13	ASIC_ADC_N0	AOUT16		26	ASIC_ADC7	ASIC_ADC_N2	AOUT18	
27	AGND	AGND			28	ASIC_ADC10	ASIC_ADC_P3	AOUT3	AOUT3
29	ASIC_DAC0	ASIC_DAC0			30	ASIC_ADC11	ASIC_ADC_N3	AOUT19	
31	AGND	AGND			32	ASIC_ADC14	ASIC_ADC_P4	AOUT4	AOUT4
33	ASIC_DAC1	ASIC_DAC1			34	ASIC_ADC15	ASIC_ADC_N4	AOUT20	
35	AGND	AGND			36	ASIC_ADC16	ASIC_ADC_P5	AOUT5	AOUT5
37	ASIC_DAC2	ASIC_DAC2			38	ASIC_ADC17	ASIC_ADC_N5	AOUT21	
39	AGND	AGND			40	ASIC_ADC20	ASIC_ADC_P6	AOUT6	AOUT6
41	ASIC_DAC3	ASIC_DAC3			42	ASIC_ADC21	ASIC_ADC_N6	AOUT22	
43	ASIC_ADC18	ASIC_ADC_P11	AOUT11		44	ASIC_ADC26	ASIC_ADC_P7	AOUT7	AOUTA
45	ASIC_ADC19	ASIC_ADC_N11	AOUT27		46	ASIC_ADC27	ASIC_ADC_N7	AOUT23	
47	ASIC_LV	ASIC_LV			48	ASIC_LV	ASIC_LV		
49	ASIC_LV	ASIC_LV			50	ASIC_LV	ASIC_LV		
51	AGND	AGND			52	AGND	AGND		
53	ASIC_HV	ASIC_HV			54	ASIC_HV	ASIC_HV		
55	ASIC_HV	ASIC_HV			56	ASIC_HV	ASIC_HV		
57	AGND	AGND			58	AGND	AGND		
59	ASIC_ADC22	ASIC_ADC_P12			60	ASIC_ADC30	ASIC_ADC_P8		
61	ASIC_ADC23	ASIC_ADC_N12			62	ASIC_ADC31	ASIC_ADC_N8		
63	AGND	AGND			64	AGND	AGND		

表 3-11　ASIC_ADC バス対応表

SEABAS2 名	SEABAS3 名	SEABAS2 名	SEABAS3 名
ASIC_ADC_P0	ASIC_ADC12	ASIC_ADC_P8	ASIC_ADC30
ASIC_ADC_N0	ASIC_ADC13	ASIC_ADC_N8	ASIC_ADC31
ASIC_ADC_P1	ASIC_ADC2	ASIC_ADC_P9	ASIC_ADC4
ASIC_ADC_N1	ASIC_ADC3	ASIC_ADC_N9	ASIC_ADC5
ASIC_ADC_P2	ASIC_ADC6	ASIC_ADC_P10	ASIC_ADC8
ASIC_ADC_N2	ASIC_ADC7	ASIC_ADC_N10	ASIC_ADC9
ASIC_ADC_P3	ASIC_ADC10	ASIC_ADC_P11	ASIC_ADC18
ASIC_ADC_N3	ASIC_ADC11	ASIC_ADC_N11	ASIC_ADC19
ASIC_ADC_P4	ASIC_ADC14	ASIC_ADC_P12	ASIC_ADC22
ASIC_ADC_N4	ASIC_ADC15	ASIC_ADC_N12	ASIC_ADC23
ASIC_ADC_P5	ASIC_ADC16	ASIC_ADC_P13	ASIC_ADC0
ASIC_ADC_N5	ASIC_ADC17	ASIC_ADC_N13	ASIC_ADC1
ASIC_ADC_P6	ASIC_ADC20	ASIC_ADC_P14	ASIC_ADC24
ASIC_ADC_N6	ASIC_ADC21	ASIC_ADC_N14	ASIC_ADC25
ASIC_ADC_P7	ASIC_ADC26	ASIC_ADC_P15	ASIC_ADC28
ASIC_ADC_N7	ASIC_ADC27	ASIC_ADC_N15	ASIC_ADC29

表 3-12　XADC 接続表

P 側	N 側	XADC
ASIC_D108	ASIC_D109	AD9
ASIC_D110	ASIC_D111	AD8
ASIC_D112	ASIC_D113	AD1
ASIC_D114	ASIC_D115	AD0

※　本 FPGA プログラムでは XADC は未対応です。

3.6.2. ADC メザニンコネクタ

ADC を外付けするためのコネクタです。本書では SEABAS3_ADC32_V1 を実装することを前提として説明しています。本項では ADC メザニンコネクタの仕様を説明します。

ADC メザニンコネクタは J05,J06 及び基板固定用の H1～H4 です。J06 がアナログ入力側コネクタで J05 がデジタル出力側コネクタです。H1～H4 は GND 補強を兼ねています。コネクタ仕様を表 3-13 に示します。またピン配置を表 3-14 と表 3-15 に示します。

図 3-4 にメザニンカードの寸法を示します。図の J01 は SEABAS3_V1 の J06、J02 は J05 に嵌合します。なお、ADC メザニンカードで AGND と DGND は接続されます。

表 3-13　ADC メザニンコネクタ仕様

リファレンス	項目	仕様
J06(J6)	型番	FX10A-80P/8-SV1
	嵌合型番	FX10A-80S/8-SV
	GND 端子	AGND
H1,H2	型番	TH-1.6-5.0-M2.5
	ADC メザニン取り付けネジ	BB-2503(M2.5, L=3mm)
	接続先	AGND
J05(J5)	型番	FX10A-120P/12-SV1
	嵌合型番	FX10A-120S/12-SV
	GND 端子	DGND
H3,H4	型番	TH-1.6-5.0-M2.5
	ADC メザニン取り付けネジ	BB-2503（M2.5,L=3mm）
	接続先	DGND

表 3-14　ADC メザニンコネクタ J06 のピン配置

ピン番	信号名	ピン番	信号名	ピン番	信号名	ピン番	信号名
1	A3P3V	21	AGND	41	ASIC_ADC0	61	BIAS_DAC2
2	A3P3V	22	AGND	42	ASIC_ADC1	62	BIAS_DAC3
3	ASIC_ADC2	23	ASIC_ADC16	43	A3P3V	63	A3P3V
4	ASIC_ADC3	24	ASIC_ADC17	44	A3P3V	64	A3P3V
5	AGND	25	AGND	45	AGND	65	AGND
6	AGND	26	A3P3V	46	ASIC_ADC4	66	ASIC_ADC18
7	AGND	27	A3P3V	47	ASIC_ADC5	67	ASIC_ADC19
8	ASIC_ADC6	28	ASIC_ADC20	48	AGND	68	AGND
9	ASIC_ADC7	29	ASIC_ADC21	49	AGND	69	AGND
10	A3P3V	30	AGND	50	ASIC_ADC8	70	ASIC_ADC22
11	A3P3V	31	AGND	51	ASIC_ADC9	71	ASIC_ADC23
12	ASIC_ADC10	32	ASIC_ADC24	52	A3P3V	72	A3P3V
13	ASIC_ADC11	33	ASIC_ADC25	53	A3P3V	73	A3P3V
14	A3P3V	34	A3P3V	54	ASIC_ADC12	74	ASIC_ADC26
15	A3P3V	35	A3P3V	55	ASIC_ADC13	75	ASIC_ADC27
16	AGND	36	AGND	56	AGND	76	AGND
17	ASIC_ADC14	37	ASIC_ADC28	57	A3P3V	77	A3P3V
18	ASIC_ADC15	38	ASIC_ADC29	58	A3P3V	78	A3P3V
19	A3P3V	39	A3P3V	59	BIAS_DAC0	79	ASIC_ADC30
20	A3P3V	40	A3P3V	60	BIAS_DAC1	80	ASIC_ADC31

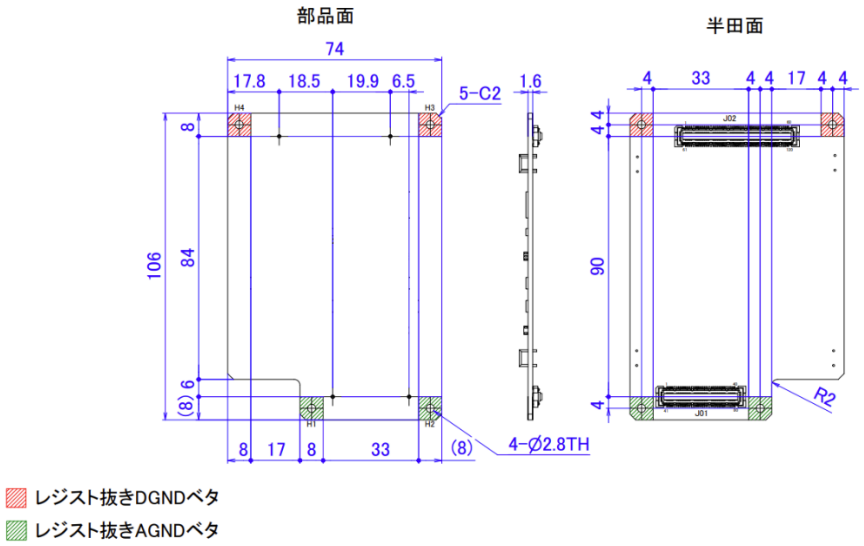
※　ASIC_ADC[31:0]は J04,J03 コネクタからのアナログ入力です。

※　BIAS_DAC[3:0]は、ADC メザニンで使用できる調整可能な基準電圧です。

表 3-15　ADC メザニンコネクタ J05 のピン配置

ピン番	信号名	ピン番	信号名	ピン番	信号名	ピン番	信号名
1	ADC0_DT_N1	31	ADC2_CLK_N	61	ADC0_DT_N0	91	ADC2_DT_N0
2	ADC0_DT_P1	32	ADC2_CLK_P	62	ADC0_DT_P0	92	ADC2_DT_P0
3	M1P8V	33	M1P8V	63	M1P8V	93	M1P8V
4	ADC0_CLK_N	34	ADC2_DT_N1	64	ADC0_DT_N2	94	ADC2_DT_N2
5	ADC0_CLK_P	35	ADC2_DT_P1	65	ADC0_DT_P2	95	ADC2_DT_P2
6	ADC0_DT_N3	36	ADC2_DT_N3	66	ADC0_DCO_N	96	ADC2_DCO_N
7	ADC0_DT_P3	37	ADC2_DT_P3	67	ADC0_DCO_P	97	ADC2_DCO_P
8	M1P8V	38	M1P8V	68	M1P8V	98	M1P8V
9	ADC0_FCO_N	39	ADC2_FCO_N	69	ADC0_DT_N4	99	ADC2_DT_N4
10	ADC0_FCO_P	40	ADC2_FCO_P	70	ADC0_DT_P4	100	ADC2_DT_P4
11	ADC0_DT_N5	41	ADC2_DT_N5	71	ADC0_DT_N6	101	ADC2_DT_N6
12	ADC0_DT_P5	42	ADC2_DT_P5	72	ADC0_DT_P6	102	ADC2_DT_P6
13	M1P8V	43	M1P8V	73	ADC0_SCLK	103	ADC2_SCLK
14	ADC0_DT_N7	44	ADC2_DT_N7	74	ADC0_SDIO	104	ADC2_SDIO
15	ADC0_DT_P7	45	ADC2_DT_P7	75	ADC0_CSB	105	ADC2_CSB
16	ADC1_CLK_N	46	ADC3_CLK_N	76	ADC1_DT_N0	106	ADC3_DT_N0
17	ADC1_CLK_P	47	ADC3_CLK_P	77	ADC1_DT_P0	107	ADC3_DT_P0
18	M1P8V	48	M1P8V	78	M1P8V	108	M1P8V
19	ADC1_DT_N1	49	ADC3_DT_N1	79	ADC1_DT_N2	109	ADC3_DT_N2
20	ADC1_DT_P1	50	ADC3_DT_P1	80	ADC1_DT_P2	110	ADC3_DT_P2
21	ADC1_DT_N3	51	ADC3_DT_N3	81	ADC1_DCO_N	111	ADC3_DCO_N
22	ADC1_DT_P3	52	ADC3_DT_P3	82	ADC1_DCO_P	112	ADC3_DCO_P
23	M1P8V	53	M1P8V	83	M1P8V	113	M1P8V
24	ADC1_FCO_N	54	ADC3_FCO_N	84	ADC1_DT_N4	114	ADC3_DT_N4
25	ADC1_FCO_P	55	ADC3_FCO_P	85	ADC1_DT_P4	115	ADC3_DT_P4
26	ADC1_DT_N5	56	ADC3_DT_N5	86	ADC1_DT_N6	116	ADC3_DT_N6
27	ADC1_DT_P5	57	ADC3_DT_P5	87	ADC1_DT_P6	117	ADC3_DT_P6
28	M1P8V	58	M1P8V	88	ADC1_SCLK	118	ADC3_SCLK
29	ADC1_DT_N7	59	ADC3_DT_N7	89	ADC1_SDIO	119	ADC3_SDIO
30	ADC1_DT_P7	60	ADC3_DT_P7	90	ADC1_CSB	120	ADC3_CSB

※　M1P8V は ADC メザニン内で生成された 1.8V の ADC 電源であり、FPGA の HP バンクの電源として使用します。



※半田面部品高さ制限 2mm

図 3-4 ADC メザニンカード寸法

3.6.3. SFP+ケージ

SFP+専用コネクタです。旧規格の SFP を使用しないで下さい。SFP+では 9 番ピンが RS1 としてアサインされており、10Gbps での動作を可能とするために H とする必要があります。一方、旧規格の SFP では 9 番ピンは GND であり短絡の可能性がありますのでご注意下さい。

3.6.4. 入出力コネクタ

CN4 の入出力コネクタは外部入出力の為のコネクタです。コネクタは、標準の 2.54 ピッチ 20 ピン MIL コネクタでヒロセの HIF3FC-20PA-2.54DS(71)を使用しています。SEABAS2 の「LVDS EX CONNECTOR」の信号と NIM 入出力をこのコネクタに集約しています。信号レベルは LVDS と LVCMOS33 となります。LVDS はバンク電圧 2.5V、LVCMOS33 はバンク電圧 3.3V の HR バンクに直接接続しています。したがって、NIM 入出力は外部にレベルシフタ回路を搭載する必要があります。表 3-16 は、本 FPGA プログラムでの仕様です。

表 3-16　入出力コネクタのピン配置

ピン番	信号名	I/O 規格	入出力	別名	備考
1	LVDS_SP_N3	LVDS	出力	—	
2	LVDS_SP_P3	LVDS	出力	—	
3	LVDS_SP_N2	LVDS	出力	—	
4	LVDS_SP_P2	LVDS	出力	—	
5	LVDS_SP_N1	LVDS	入力	—	100Ω終端
6	LVDS_SP_P1	LVDS	入力	—	通常ディセイブル
7	LVDS_SP_N0	LVDS	入力	—	100Ω終端
8	LVDS_SP_P0	LVDS	入力	—	通常ディセイブル
9	GND	—	電源	—	
10	GND	—	電源	—	
11	LVCMOS_SP0	LVCMOS33	出力	NIM_OUT[0]	
12	LVCMOS_SP1	LVCMOS33	出力	NIM_OUT[1]	
13	LVCMOS_SP2	LVCMOS33	出力	NIM_OUT[2]	
14	LVCMOS_SP3	LVCMOS33	出力	NIM_OUT[3]	
15	LVCMOS_SP4	LVCMOS33	入力	NIM_IN[0]	プルダウン付き
16	LVCMOS_SP5	LVCMOS33	入力	NIM_IN[1]	プルダウン付き
17	LVCMOS_SP6	LVCMOS33	入力	NIM_IN[2]	プルダウン付き
18	LVCMOS_SP7	LVCMOS33	入力	NIM_IN[3]	プルダウン付き
19	D3P3V	—	電源	—	
20	D3P3V	—	電源	—	

※　D3P3V は 3.3V 電源です。(ヒューズ等の保護回路はありません。注意してください)

※　NIM_IN[1:0]は、ASIC_CTRL でシーケンス開始の信号として使用しています。

※　LVDS 入力はテストモード以外では無効となります。

3.6.5. テストピン

CN5 はテストピンで 2.54mm ピッチ 4 極 1 列のコネクタで、MAC8 の WL-1-4P を使用しています。本 FPGA プログラムでの仕様を表 3-17 に示します。

表 3-17　テストピン仕様

ピン番	信号名	I/O 規格	入出力	備考
1	TESTPIN[0]	LVCMOS33	出力	
2	TESTPIN[1]	LVCMOS33	出力	
3	TESTPIN[2]	LVCMOS33	入力	プルダウン付き
4	TESTPIN[3]	LVCMOS33	入力	プルダウン付き

3.6.6. JTAG コネクタ

J7 は FPGA プログラム用の JTAG コネクタです。14 極の 2mm ピッチのボックスコネクタで Molex の 0878311420 を使用しています。表 3-18 に JTAG コネクタのピン配置を示します。

表 3-18　JTAG コネクタ仕様

ピン番	信号名	ピン番	信号名
1	GND	2	VCC(3.3V)
3	GND	4	TMS
5	GND	6	TCK
7	GND	8	TDO
9	GND	10	TDI
11	GND	12	未接続
13	GND	14	未接続

3.7. DDR3 メモリ

SEABAS3_V1 ボードには 256MByte の DDR3 メモリが搭載されています。DDR3 の仕様を表 3-19 に示します。

表 3-19　DDR3 仕様

項目	仕様
デバイス	MT41J128M16JT-125
容量（構成）	2Gbit （16 Meg x 16 x 8 Banks）
動作周波数	400MHz※

※　動作周波数は、FPGA の性能で決まります。

3.8. ASIC_LV 電源

ASIC_LV 電源はポテンショメータ(VR1)で 0.8V～2.0V に調整できます。表 3-20 に ASIC_LV の仕様を示します。

表 3-20　ASIC_LV 仕様

項目	仕様
設計可変電圧範囲	0.8V～2.0V
可変保証範囲(無負荷)	0.82V～1.96V
定格電流	1.5A
レギュレータ型番	TPS7A9201DSKR (Texas Instruments)

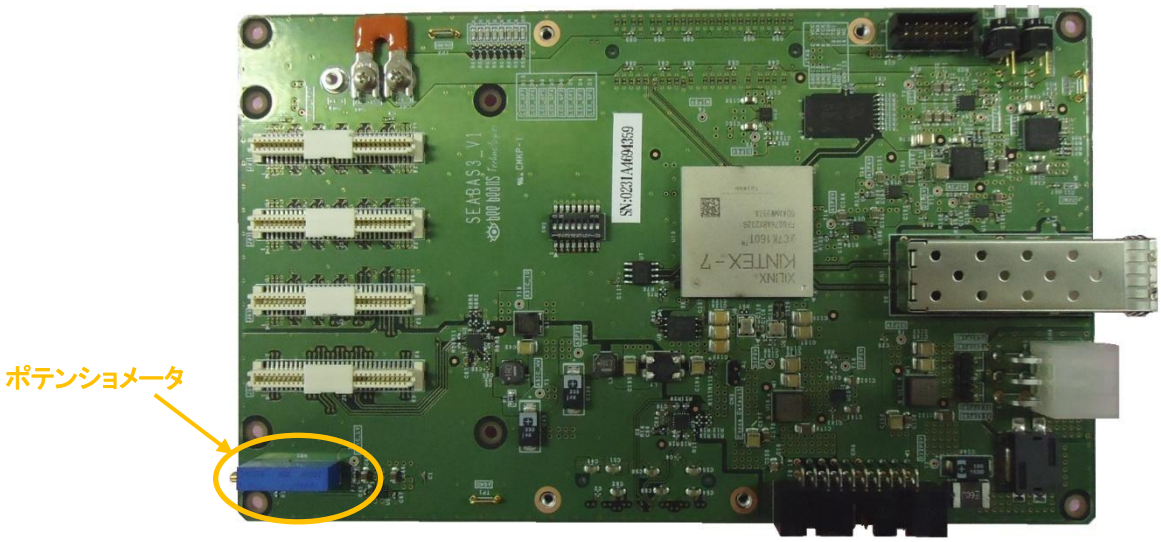


図 3-5　ASIC_LV 電圧調整ポテンショメータ

3.9. FPGA

SEABAS3_V1 には Kintex7 FPGA(XC7K160T-2FFG676C)が搭載されています。基板設計上は容量の大きい XC7K325T のパッケージ FFG676 が実装できるようにしています。また、FPGA のプログラムを格納する SPI-Flash メモリは MT25QL128ABA1EW7-0SIT であり、XC7K325T のビットファイルを無圧縮で格納できます。

4. SEABAS3M-ADC32_V1

SEABAS3 の ADC メザニンコネクタ J05,J06,H1,H2,H3,H4 に SEABAS3M_ADC32_V1 メザニンカードが実装されます。SEABAS3_V1 に実装した状態の SEABAS3M_ADC32_V1 の外観を図 4-1 に示します。また、SEABAS3M_ADC32_V1 の仕様を表 4-1～表 4-3 に、入力等価回路を図 4-2 に示します。



図 4-1　SEABAS3M-ADC32_V1 メザニンカード外観

表 4-1　SEABAS3M-ADC32_V1 メザニンカード仕様

項目	仕様
チャンネル数	32ch
入力インピーダンス	不平衡 680Ω（オフセット電圧付き）
入力範囲※	ADC 入力範囲: −1.0V+Vb ～ +1.0V+Vb AMP 入力範囲: −0.6V−Vb ～ +3.0V−Vb
ADC デバイス	ADA4930-2YCPZ
デバイス数	4
変換速度	40Msps
分解能	14bit

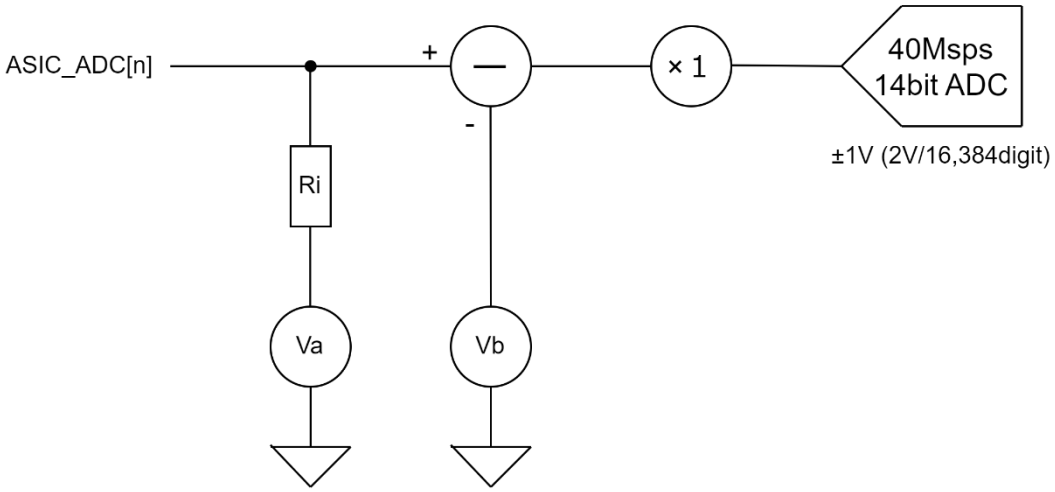
※　Vb は対応する BIAS_DAC の電圧を示します。

表 4-2　SEABAS3M-ADC32_V1 メザニンカード　DAC 接続先

信号名	バイアス先
BIAS_DAC0	ASIC_ADC[7:0]
BIAS_DAC1	ASIC_ADC[15:8]
BIAS_DAC2	ASIC_ADC[23:16]
BIAS_DAC3	ASIC_ADC[31:24]

表 4-3　SEABAS3M-ADC32_V1 メザニンカード　入力信号の接続先 ADC

信号名	接続先 ADC
ASIC_ADC[7:0]	ADC0
ASIC_ADC[15:8]	ADC1
ASIC_ADC[23:16]	ADC2
ASIC_ADC[31:24]	ADC3



記号	値	単位	説明
Ri	680	Ω	入力インピーダンス
Va	0.6+Vb/3	V	入力オフセット電圧
Vb	0.6~1.815※	V	入力バイアス電圧（BIAS_DACxの電圧）

※　1.815V は DAC の内部リファレンスを使用し、GAIN=1.5 の場合です。

※　0.6V 以下での使用も可能ですがバッファアンプが単電源であるため推奨しません。

図 4-2　SEABAS3M-ADC32_V1 メザニンカード入力等価回路

5. ASIC 制御シーケンス

制御シーケンスは、DIP スイッチ(SW2) 7, 8 で指定した ASIC_TYPE と CSR レジスタ bit6 で指定した FREN_x の設定に従います。

以下、各設定の動作について説明します。

5.1. INTPIX4NUHT

DIP スイッチ (7,8) = (OFF,OFF): INTPIX4NUHT の制御シーケンスを示します。FREN_x は使用しません。

ASIC 制御信号を表 5-1 に、シーケンスの状態遷移図を図 5-1 に示します。状態遷移図で示す状態の説明を表 5-2 に、状態の遷移条件の説明を表 5-3 に示します。

また、シーケンス開始条件である Start Run で使用される Trig Clock の設定できる周期を表 5-4 に、シーケンスに関連するレジスタを表 5-5 に示します。

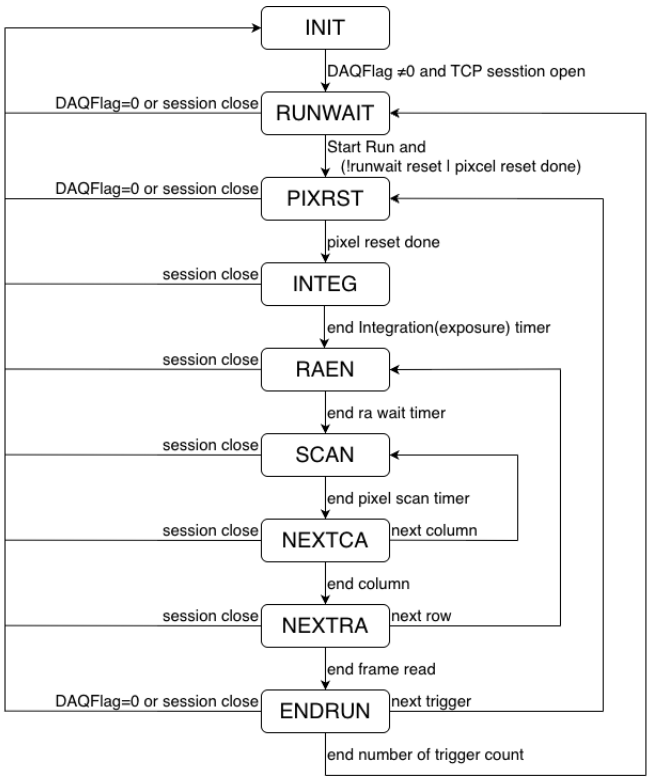
ASIC 制御シーケンスのタイミングチャートは図 5-2 を参照して下さい。

表 5-1　ASIC 制御信号

信号名	ピン名	制御
ENBIAS1_x	ASIC_D[0]	レジスタ
ENBIAS2_x	ASIC_D[1]	レジスタ
RST_x	ASIC_D[2]	シーケンス
STORE_x	ASIC_D[3]	シーケンス
RAEN_x	ASIC_D[4]	0 固定
CAEN	ASIC_D[5]	1 固定
EN_AOUT_x	ASIC_D[6]	レジスタ
EN_HG	ASIC_D[7]	レジスタ
EN_BIN22	ASIC_D[8]	レジスタ
T_ENBIAS1_x	ASIC_D[9]	0 固定
T_RA[4:0]	ASIC_D[16:13], ASIC_D[10]	00000 固定
T_RAEN	ASIC_D[17]	0 固定
T_EN_HG	ASIC_D[18]	0 固定
T_EN_BIN22	ASIC_D[19]	0 固定
CA[9:0]	ASIC_D[23:20], ASIC_D[31:26]	シーケンス
RA[9:0]	ASIC_D[25:24], ASIC_D[32:39]	シーケンス

※　制御の「レジスタ」はレジスタ CSR の設定値によって静的に決定されます。

※　制御の「シーケンス」は、シーケンサーによって出力値が動的に決定されます。



※ Start Run は DAQFlag で条件が変化します。内部タイマまたは NIM_IN で Start Run となります。

図 5-1 ASIC 制御・状態遷移図

表 5-2 ASIC 制御・状態名

状態名	説明
INIT	ADC データの初期化
RUNWAIT	データ収集開始トリガおよびメモリリセット待ち合わせ状態
PIXRST	メモリリセット待ち合わせ状態
INTEG	RST_x を H、STORE_x を L の状態に維持※
RAEN	RAEN_x アサートおよび RA 更新後一定時間状態を保持
SCAN	RA,CA を確定した状態で待ち合わせる状態であり状態終了前に ADC データ収集タイミング信号を ADC_MAIN に通知
NEXTCA	CA を更新する状態であり CA が最大値に達した場合は CA を0に戻し NEXTRA に遷移
NEXTRA	RA を更新する状態 RA が最大値に達した場合 ENDRUN に遷移
ENDRUN	CA、RA をすべてスキャンが終わった時にこの状態に遷移 指定されたトリガカウントに達していない場合は再度 CA,RA のスキャン トリガカウントに達した場合は終了

※ 通常 RST_x は状態 INIT, 状態 RUNWAIT, 状態 PIXRST で L ですが、DAQFlag=2 の場合は状態 INIT,状態 RUNWAIT では H となり、それ以外のステートは L となります。

表 5-3　ASIC 制御・遷移条件

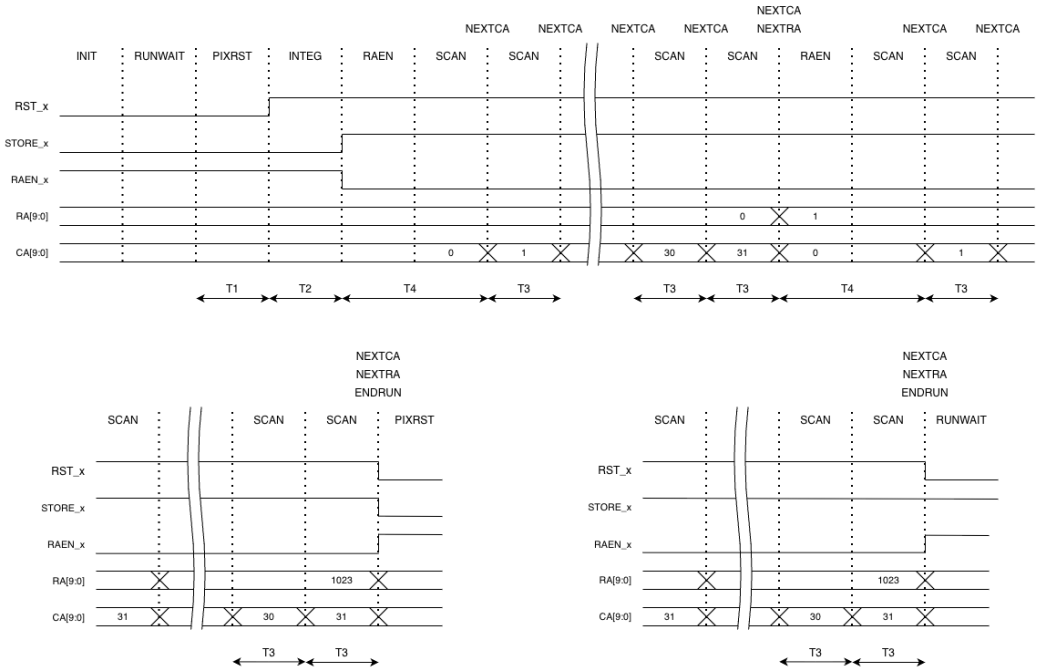
遷移条件	説明
DAQFlag	シーケンスの動作を指定するレジスタ設定値 0：INIT 状態を維持 1：NIM[0]と NIM[1]の立ち上がり（論理積） 2：Trig Clock（RST_x=L 固定） 3：Trig Clock 4：未使用 5：NIM[0]の立ち上がり 6～7：未使用
TCP Session	SiTCP の TCP セッションが確立しているかを示す
Start RUN	DAQFlag で指定した状態が成立したことを示す
runwait reset	状態 RUNWAIT 遷移時のメモリリセット実行の設定を示します。INTPIX4NUHT では常に偽となります。 詳細は 6.2.17 EXT_FLAG レジスタ参照してください。
pixel reset done	メモリリセット実行済みを示します。状態 INTEG で実行済みがクリアされます。
Integration(exposure) timer	STORE_x＝L の時間を計数するタイマ
ra wait timer	RAEN_x アサートおよび RA 更新後の待機時間を計数するタイマ
pixel scan timer	CA が変更後 ADC データを取得までの時間を計数するタイマ
number of trigger count	1 回の Start RUN で収集するデータセットの数
CA	0～31 (CA 最大値：31) ※ EN_BIN22=H では、偶数値のみをとり最大値30となります。
RA	0～1023 (RA 最大値：1023) ※ EN_BIN22=H では、偶数値のみをとり最大値 1022 となります。

表 5-4　Trig Clock の周期

TrigCLKSelect	Trig Clock 周期
0	連続
1	100Hz
2	75Hz
3	50Hz
4	25Hz
5	10Hz
6	5Hz
7~255	100Hz

表 5-5　ASIC 制御・関連レジスタ

レジスタ名	サイズ	設定範囲	説明
RSTHITIME	8bit	0 ~ 255	PIXRST(T1)の時間を設定
INTEGTIME	32bit	0 ~ 4,294,967,295	INTEG（T2）の時間を設定
PIXSCANTIME	16bit	0 ~ 65,535	SCAN（T3）の時間を設定
RAWaitTime	8bit	0 ~ 255	RAEN（T5）の時間を設定
Ntrigger	16bit	0 ~ 65,535	データセット数－1 を設定
TrigCLKSelect	8bit	0 ~ 5	Trig Clock の周波数を指定
CSR	8bit	—	レジスタ指定の信号を設定



※　通常 RST_x は上記のように状態 INIT,状態 RUNWAIT，状態 PIXRST で L ですが、DAQFlag=2 の場合は状態 INIT,状態 RUNWAIT では H となり、それ以外のステートは L となります。

記号	時間
T1	（RSTHITIME+1）×25ns
T2	（INTEGTIME+1）×25ns
T3	（PIXSCANTIME+2）×25ns
T4	T5+T3
T5	（RAWaitTime+1）×25ns

※　時間は論理シミュレーションの値であり出力遅延は含みません。

図 5-2　ASIC 制御・タイミングチャート

5.2. SEMTEG2 Fast Readout Mode

DIP スイッチ（7,8) = (ON,OFF)、FREN_x = L 設定時の制御シーケンスを示します。

ASIC 制御信号を表 5-6 に、シーケンスの状態遷移図を図 5-3 に示します。状態遷移図で示す状態の説明を表 5-7 に、状態の遷移条件の説明を表 5-8 に示します。

また、シーケンス開始条件である Start Run で使用される Trig Clock の設定できる周期を表 5-9 に、シーケンスに関連するレジスタを表 5-10 に示します。

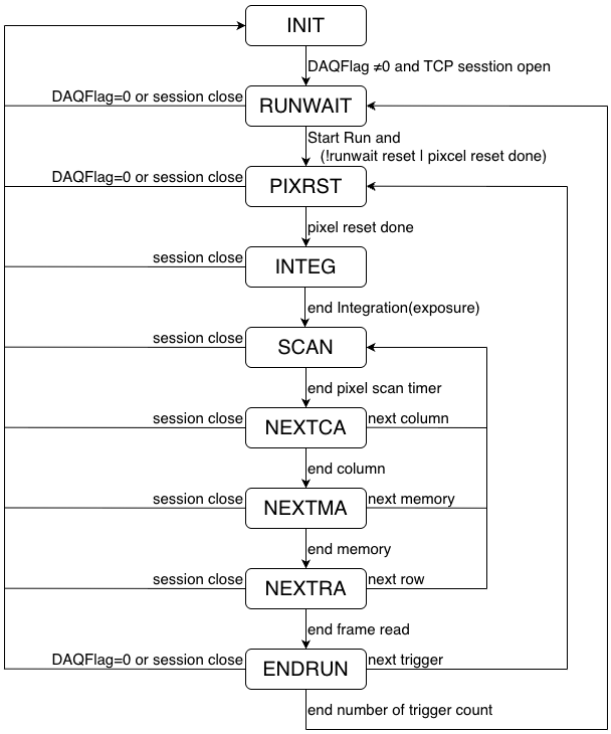
ASIC 制御シーケンスのタイミングチャートは図 5-4、図 5-5 を参照して下さい。それぞれ MEMRST=0, 1 のタイミングチャートです。メモリリセット実行タイミングの詳細は 6.2.17 EXT_FLAG レジスタ参照してください。

表 5-6　ASIC 制御信号

信号名	ピン名	制御
ENBIAS1_NSF_x	ASIC_D[0]	レジスタ
ENBIAS1_PSF_x	ASIC_D[1]	0 固定
RST_x	ASIC_D[2]	シーケンス
STORE_x	ASIC_D[3]	シーケンス
RAEN_x	ASIC_D[4]	シーケンス
CAEN	ASIC_D[5]	1 固定
EN_AOUT_x	ASIC_D[6]	0 固定
EN_HG	ASIC_D[7]	レジスタ
EN_BIAS2_x	ASIC_D[8]	レジスタ
PRECHG_x	ASIC_D[9]	0 固定
FREN_x	ASIC_D[10]	0 (レジスタ)
MAEN_x	ASIC_D[11]	0 固定
MA[2:0]	ASIC_D[23:21]	シーケンス
CA[6:0]	ASIC_D[31:25]	シーケンス
RA[6:0]	ASIC_D[39:33]	シーケンス

※　制御の「レジスタ」はレジスタ CSR の設定値によって静的に決定されます。

※　制御の「シーケンス」は、シーケンサーによって出力値が動的に決定されます。



※ Start Run は DAQFlag および MEMRST で条件が変化します。詳細は表 5-8 を参照してください。

図 5-3 ASIC 制御・状態遷移図

表 5-7 ASIC 制御・状態名

状態名	説明
INIT	ADC データの初期化
RUNWAIT	データ収集開始トリガおよびメモリリセット待ち合わせ状態
PIXRST	メモリリセット待ち合わせ状態
INTEG	測定
SCAN	RA,CA を確定した状態で待ち合わせる状態であり状態終了前に ADC データ収集タイミング信号を ADC_MAIN に通知
NEXTCA	CA を更新する状態であり CA が最大値に達した場合は CA を0に戻し NEXTMA に遷移
NEXTMA	MA を更新する状態であり MA が最大値に達した場合は MA を0に戻し NEXTRA に遷移
NEXTRA	RA を更新する状態 RA が最大値に達した場合 ENDRUN に遷移
ENDRUN	CA、RA をすべてスキャンが終わった時にこの状態に遷移 指定されたトリガカウントに達していない場合は再度 CA,RA のスキャン トリガカウントに達した場合は終了

表 5-8　ASIC 制御・遷移条件

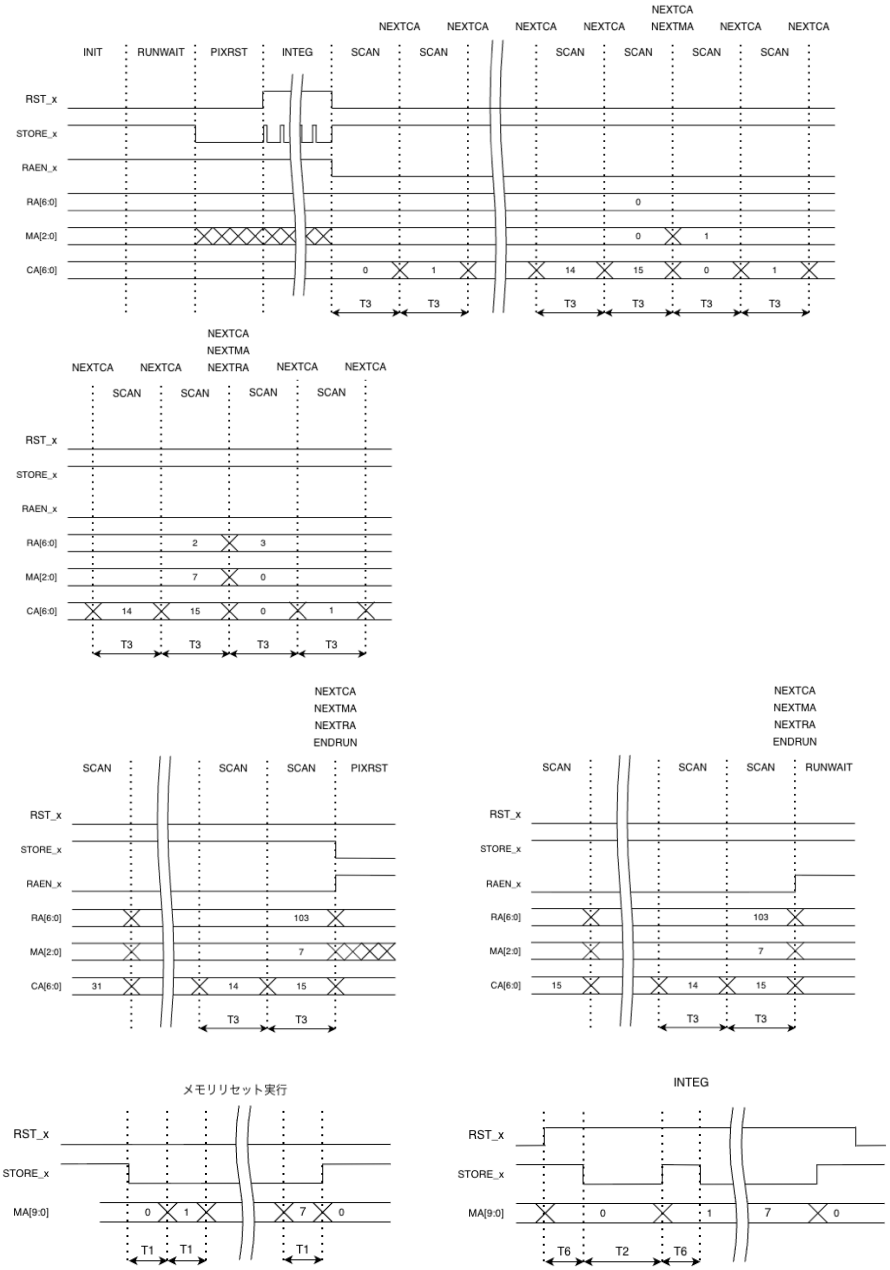
遷移条件	説明
DAQFlag	シーケンスの動作を指定するレジスタ設定値 0：INIT 状態を維持 1：NIM[0]と NIM[1]の立ち上がり（論理積） 2：Trig Clock（RST_x=L 固定） 3：Trig Clock 4：未使用 5：NIM[0]の立ち上がり 6～7：未使用
TCP Session	SiTCP の TCP セッションが確立しているかを示す
Start RUN	DAQFlag で指定した状態(内部タイマまたは NIM_IN)が成立したことを示す。
runwait reset	状態 RUNWAIT 遷移時のメモリリセット実行の設定を示します。SEMTEG2 では、MEMRST = 1 で真となります。 詳細は 6.2.17 EXT_FLAG レジスタ参照してください。
pixel reset done	メモリリセット実行済みを示します。状態 INTEG で実行済みがクリアされます。
Integration(exposure) timer	STORE_x＝L の時間を計数するタイマ
pixel scan timer	CA が変更後 ADC データを取得までの時間を計数するタイマ
number of trigger count	1 回の Start RUN で収集するデータセットの数
CA	0～15 (CA 最大値：15)
RA	0～103 (RA 最大値：103)
MA	0～7 (MA 最大値：7)

表 5-9　Trig Clock の周期

TrigCLKSelect	Trig Clock 周期
0	連続
1	100Hz
2	75Hz
3	50Hz
4	25Hz
5	10Hz
6	5Hz
7~255	100Hz

表 5-10　ASIC 制御・関連レジスタ

レジスタ名	サイズ	設定範囲	説明
RSTHITIME	8bit	0 ~ 255	PIXRST(T1)の時間を設定
INTEGTIME	32bit	0 ~ 4,294,967,295	INTEG（T2）の時間を設定
PIXSCANTIME	16bit	0 ~ 65,535	SCAN（T3）の時間を設定
RAWaitTime	8bit	0 ~ 255	Fast Readout mode では使用しない
Ntrigger	16bit	0 ~ 65,535	データセット数－1 を設定
TrigCLKSelect	8bit	0 ~ 5	Trig Clock の周波数を指定
CSR	8bit	—	レジスタ指定の信号を設定



※　通常 RST_x は上記のように測定時以外 L ですが、DAQFlag=2 の場合は状態 INIT,状態 RUNWAIT では H となり、それ以外のステートは L となります。

記号	時間
T1	(RSTHITIME+1) × 25ns
T2	(INTEGTIME+1) × 25ns
T3	(PIXSCANTIME+2) × 25ns
T5	(RAWaitTime+1) × 25ns
T6	25ns

※　時間は論理シミュレーションの値であり出力遅延は含みません。

図 5-4　ASIC 制御・タイミングチャート(MEMRST=0)

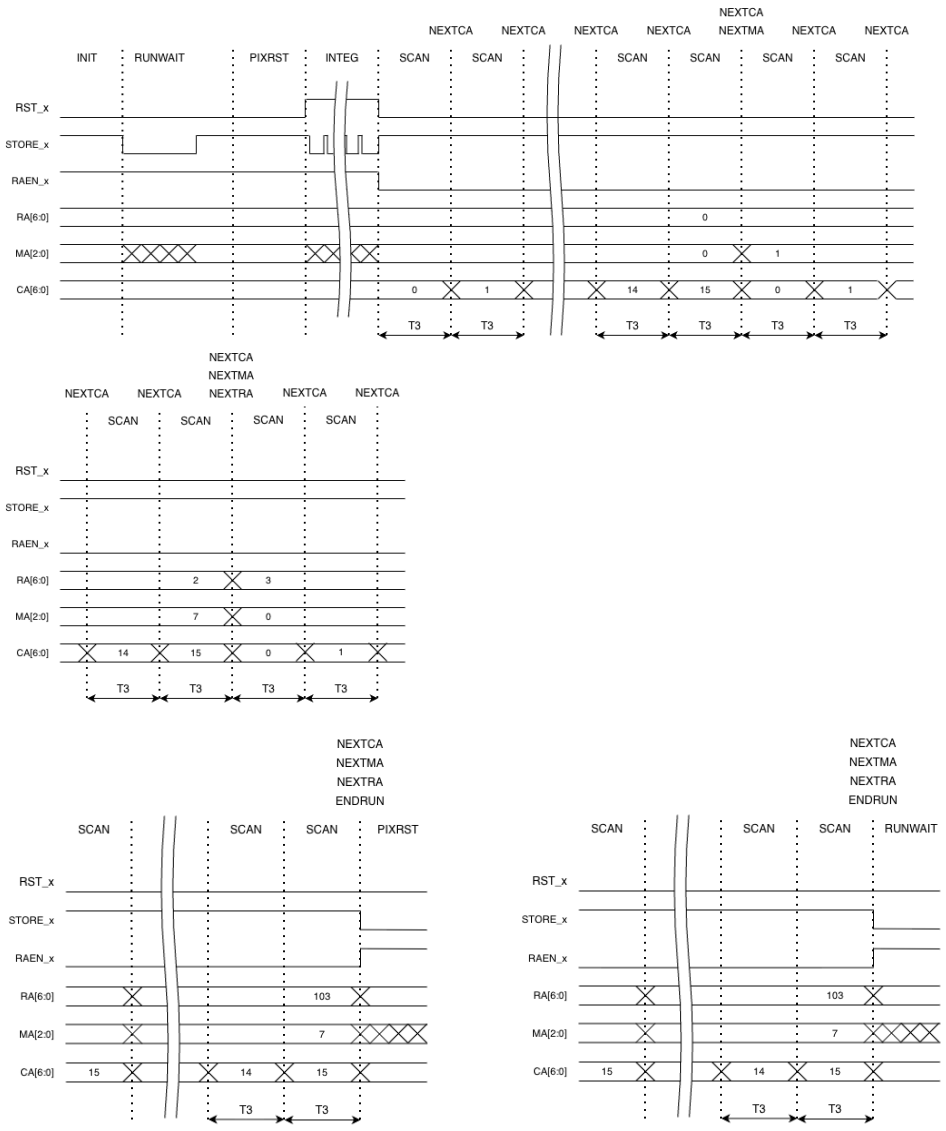


図 5-5 ASIC 制御・タイミングチャート(MEMRST=1)

5.3. SEMTEG2 Time Frame Readout Mode

DIP スイッチ（7,8) = (ON,OFF)、FREN_x = H 設定時の制御シーケンスを示します。

ASIC 制御信号を表 5-11 に、シーケンスの状態遷移図を図 5-6 に示します。状態遷移図で示す状態の説明を表 5-12 に、状態の遷移条件の説明を表 5-13 に示します。

また、シーケンス開始条件である Start Run で使用される Trig Clock の設定できる周期を表 5-4 に、シーケンスに関連するレジスタを表 5-5 に示します。

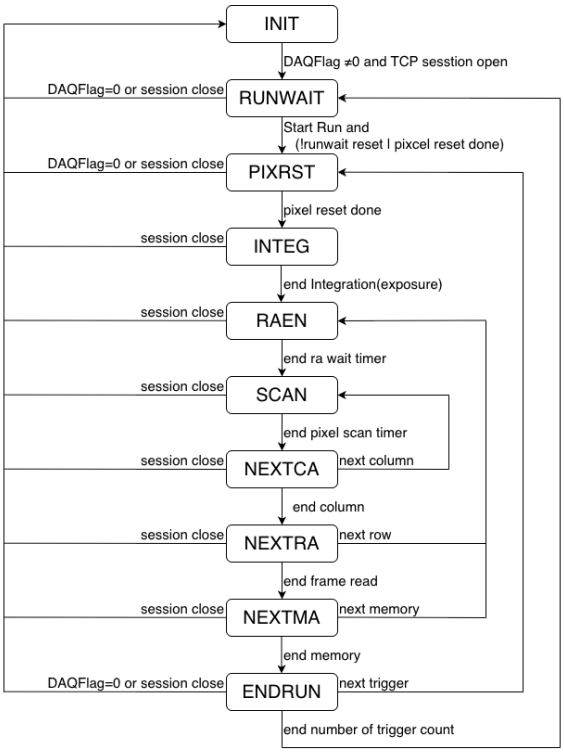
ASIC 制御シーケンスのタイミングチャートは図 5-7、図 5-8 を参照して下さい。それぞれ MEMRST=0, 1 のタイミングチャートです。メモリリセット実行タイミングの詳細は 6.2.17 EXT_FLAG レジスタ参照してください。

表 5-11　ASIC 制御信号

信号名	ピン名	制御
ENBIAS1_NSF_x	ASIC_D[0]	レジスタ
ENBIAS1_PSF_x	ASIC_D[1]	0 固定
RST_x	ASIC_D[2]	シーケンス
STORE_x	ASIC_D[3]	シーケンス
RAEN_x	ASIC_D[4]	シーケンス
CAEN	ASIC_D[5]	1 固定
EN_AOUT_x	ASIC_D[6]	0 固定
EN_HG	ASIC_D[7]	レジスタ
EN_BIAS2_x	ASIC_D[8]	レジスタ
PRECHG_x	ASIC_D[9]	シーケンス
FREN_x	ASIC_D[10]	1 (レジスタ)
MAEN_x	ASIC_D[11]	0 固定
MA[2:0]	ASIC_D[23:21]	シーケンス
CA[6:0]	ASIC_D[31:25]	シーケンス
RA[6:0]	ASIC_D[39:33]	シーケンス

※　制御の「レジスタ」はレジスタ CSR の設定値によって静的に決定されます。

※　制御の「シーケンス」は、シーケンサーによって出力値が動的に決定されます。



※ Start Run は DAQFlag および MEMRST で条件が変化します。詳細は表 5-13 を参照してください。

図 5-6 ASIC 制御・状態遷移図

表 5-12 ASIC 制御・状態名

状態名	説明
INIT	ADC データの初期化
RUNWAIT	データ収集開始トリガおよびメモリリセット待ち合わせ状態
PIXRST	メモリリセット待ち合わせ状態。
INTEG	測定
RAEN	RAEN_x アサートおよび RA 更新後、PRECHG_x を L に保持する状態
SCAN	MA,RA,CA を確定した状態で待ち合わせる状態であり状態終了前に ADC データ収集タイミング信号を ADC_MAIN に通知
NEXTCA	CA を更新する状態であり CA が最大値に達した場合は CA を 0 に戻し NEXTRA に遷移
NEXTRA	RA を更新する状態であり更新後一定時間を保持 RA が最大値に達した場合 RA を 0 に戻し NAXTMA に遷移
NEXTMA	MA を更新する状態であり MA が最大値に達した場合は ENDRUN に遷移
ENDRUN	CA、RA、MA をすべてスキャンが終わった時にこの状態に遷移 指定されたトリガカウントに達していない場合は再度 CA,RA、MA のスキャン。トリガカウントに達した場合は終了

表 5-13　ASIC 制御・遷移条件

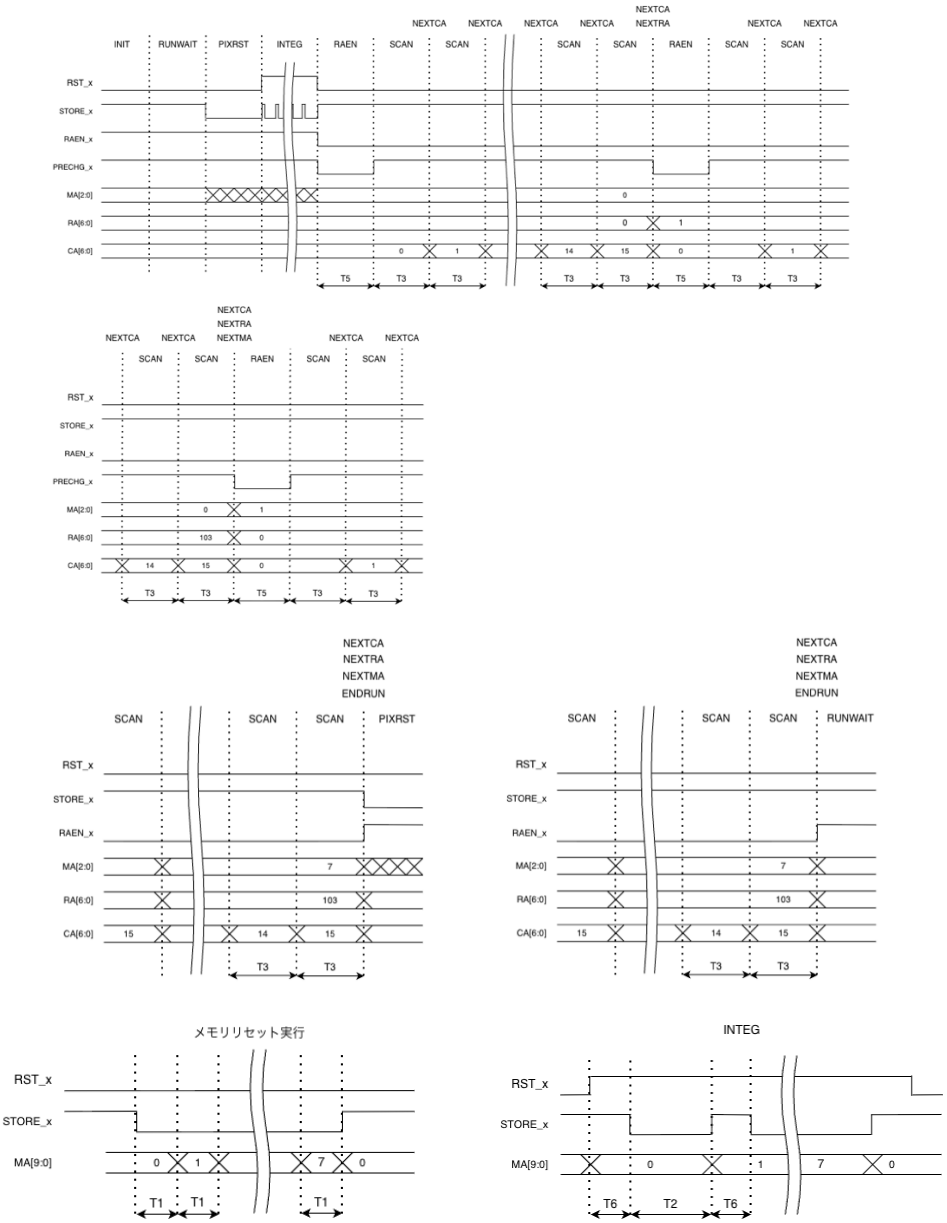
遷移条件	説明
DAQFlag	シーケンスの動作を指定するレジスタ設定値 0：INIT 状態を維持 1：NIM[0]と NIM[1]の立ち上がり（論理積） 2：Trig Clock（RST_x=L 固定） 3：Trig Clock 4：未使用 5：NIM[0]の立ち上がり 6～7：未使用
TCP Session	SiTCP の TCP セッションが確立しているかを示す
Start RUN	DAQFlag で指定した状態(内部タイマまたは NIM_IN)が成立したことを示す。
runwait reset	状態 RUNWAIT 遷移時のメモリリセット実行の設定を示します。SEMTEG2 では、MEMRST = 1 で真となります。 詳細は 6.2.17 EXT_FLAG レジスタ参照してください。
pixel reset done	メモリリセット実行済みを示します。状態 INTEG で実行済みがクリアされます。
Integration(exposure) timer	STORE_x＝L の時間を計数するタイマ
pixel scan timer	CA が変更後 ADC データを取得までの時間を計数するタイマ
number of trigger count	1 回の Start RUN で収集するデータセットの数
CA	0～15 (CA 最大値：15)
RA	0～103 (RA 最大値：103)
MA	0～7 (MA 最大値：7)

表 5-14　Trig Clock の周期

TrigCLKSelect	Trig Clock 周期
0	連続
1	100Hz
2	75Hz
3	50Hz
4	25Hz
5	10Hz
6	5Hz
7~255	100Hz

表 5-15　ASIC 制御・関連レジスタ

レジスタ名	サイズ	設定範囲	説明
RSTHITIME	8bit	0 ~ 255	PIXRST(T1)の時間を設定
INTEGTIME	32bit	0 ~ 4,294,967,295	INTEG（T2）の時間を設定
PIXSCANTIME	16bit	0 ~ 65,535	SCAN（T3）の時間を設定
RAWaitTime	8bit	0 ~ 255	NEXTRA（T5）の時間を設定
Ntrigger	16bit	0 ~ 65,535	データセット数－1 を設定
TrigCLKSelect	8bit	0 ~ 5	Trig Clock の周波数を指定
CSR	8bit	—	レジスタ指定の信号を設定



※　通常 RST_x は上記のように測定時以外 L ですが、DAQFlag=2 の場合は状態 INIT,状態 RUNWAIT では H となり、それ以外のステートは L となります。

記号	時間
T1	(RSTHITIME+1) × 25ns
T2	(INTEGTIME+1) × 25ns
T3	(PIXSCANTIME+2) × 25ns
T5	(RAWaitTime+1) × 25ns
T6	25ns

※　時間は論理シミュレーションの値であり出力遅延は含みません。

図 5-7　ASIC 制御・タイミングチャート(MEMRST=0)

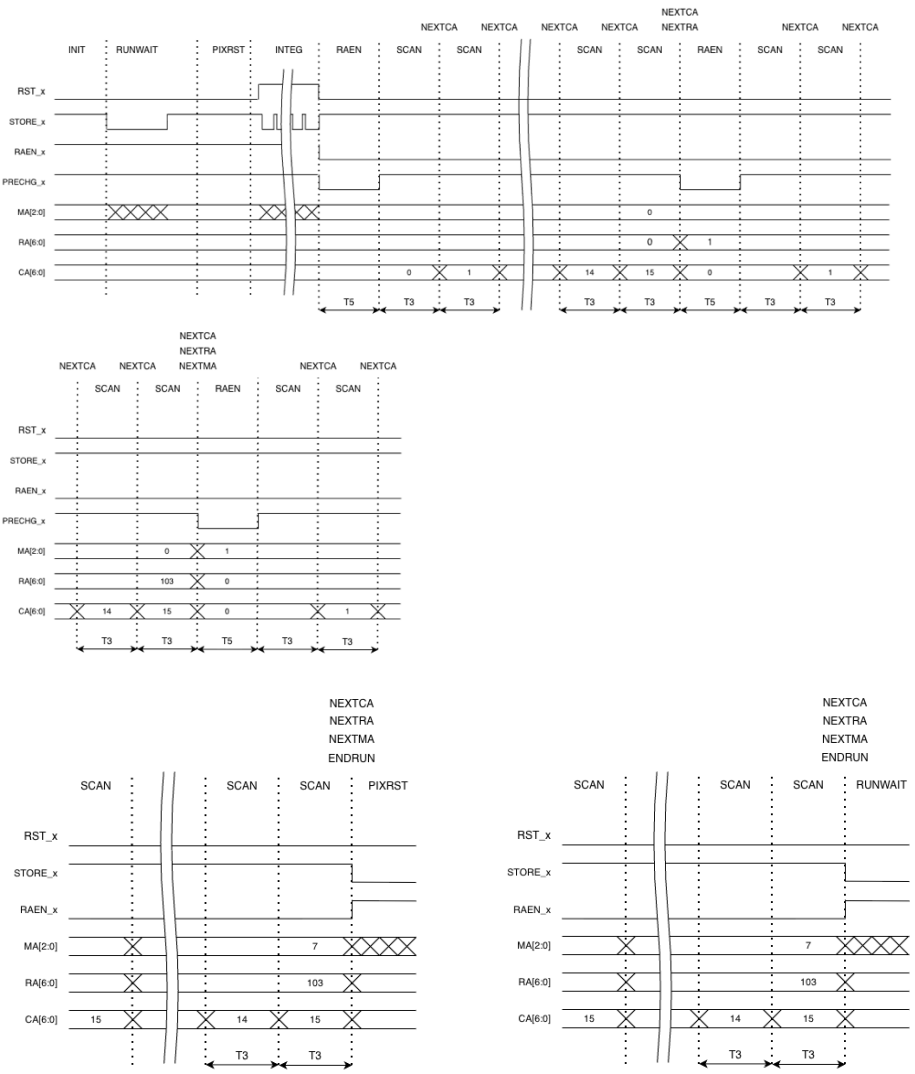


図 5-8 ASIC 制御・タイミングチャート(MEMRST=1)

6. Ethernet

本 FPGA プログラムでは SiTCP-XG を使用しています。SiTCP-XG は 10Gbps 専用です。また、PCS/PMA に 10GBASE-R を使用しています。SFP+ケージに 10GBASE-R 対応の SFP+モジュールを装着して使用して下さい。出荷時の設定値を表 6-1 に示します。設定した IP アドレスや UDP ポート番号がわからなくなった場合は、ForceDefault のピンを短絡すると出荷時と同じ設定となります。ただし、この状態では MAC アドレスが固定の Local Address となるため、他の機器との競合を避けるため、PC と直結するか PC 以外の機器が接続されない状態でご使用下さい。

表 6-1　Ethernet 出荷時の設定値

項目	設定値
IP アドレス	192.168.10.10
TCP ポート	24
UDP ポート	4660

6.1. TCP データ

TCP データは ASIC 制御シーケンスに従ってサンプルされた ADC データです。データフォーマットの概要を**エラー! 参照元が見つかりません。**示します。ユニットデータはヘッダとトレーラに挟まれた 16bit に拡張した ADC データブロックが複数個で構成されます。ブロック数は ASIC 制御シーケンスで決定されます。ADC データは 14bit ですが上位 2bit を 00 として 16bit データとしています。リザーブ領域は、SEMTEG2 にのみ存在します。Header および Trailer の n（下位 4bit)は、 TCP データフォーマットを示す識別子です。識別子の定義を表 6-2 に示します。Single Output mode、Parallel Output mode に関わらず、同一のフォーマットおよび識別子を用います。

なお、データの受信性能不足でデータが破棄された場合はトレーラが付きません。

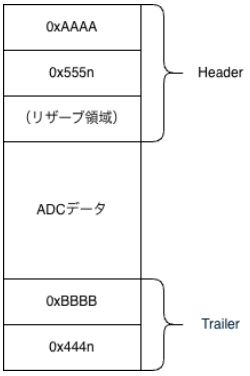


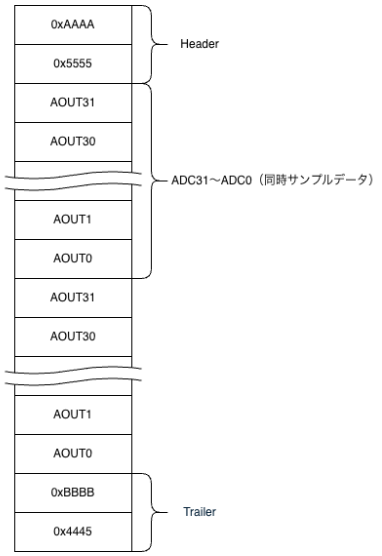
図 6-1 TCP データフォーマット概要

表 6-2 フォーマット識別子

識別子(16 進)	フォーマット
5	INTPIX4NUHT
6	INTPIX4NUHT 2x2 Binning mode
7	SEMTEG2 Fast Readout mode
8	SEMTEG2 Time Frame Readout mode
9	SEMTEG2 TEG 領域 Fast Readout mode
a	SEMTEG2 TEG 領域 Time Frame Readout mode

6.1.1. INTPIX4NUHT

32 個の 16bit に拡張した ADC データブロックが複数個で構成されます。サンプルデータは、ADC31 から降順に並びます。ブロック数は ASIC 制御シーケンスで決定され、32×1024=32,768 ブロックで構成されます。

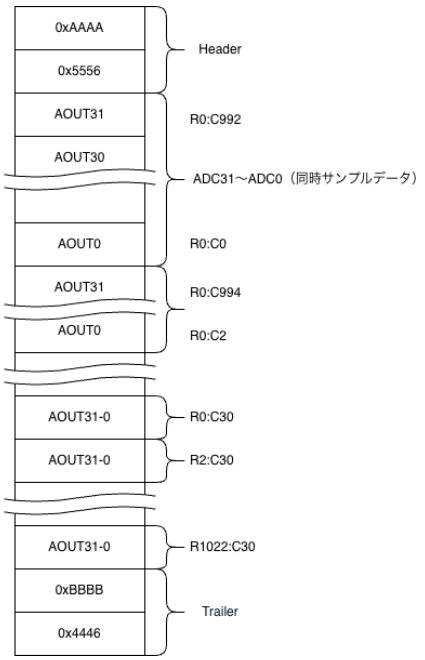


ASIC_ADC の接続先である AOUT の順となります。

図 6-2 TCP データフォーマット(1 ユニット)

6.1.2. INTPIX4NUHT 2x2 Binnig mode

32 個の 16bit に拡張した ADC データブロックが複数個で構成されます。サンプルデータは、AOUT31 から降順に並びます。CA,RA の偶数値のみ読み出します。ブロック数は ASIC 制御シーケンスで決定され、16×512=8,192 ブロックで構成されます。

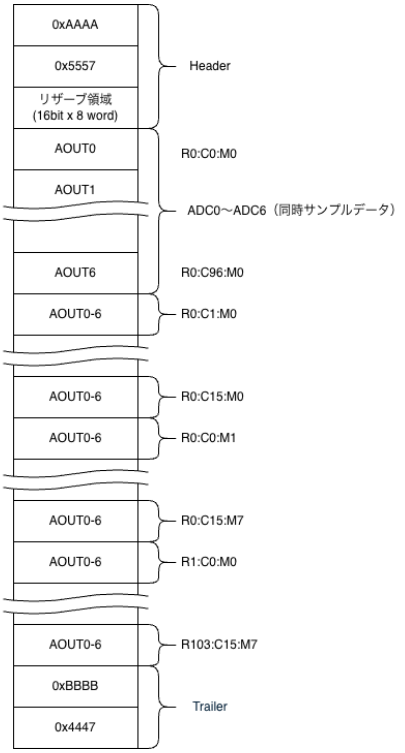


ASIC_ADC の接続先である AOUT の順となります。

図 6-3 TCP データフォーマット(1 ユニット)

6.1.3. SEMTEG2 Fast Readout mode

7 個の 16bit に拡張した ADC データブロックが複数個で構成されます。サンプルデータは、AOUT0 から AOUT6 まで昇順に並びます。ブロック数は ASIC 制御シーケンスで決定され、16×8×104 = 13,312 ブロックで構成されます。

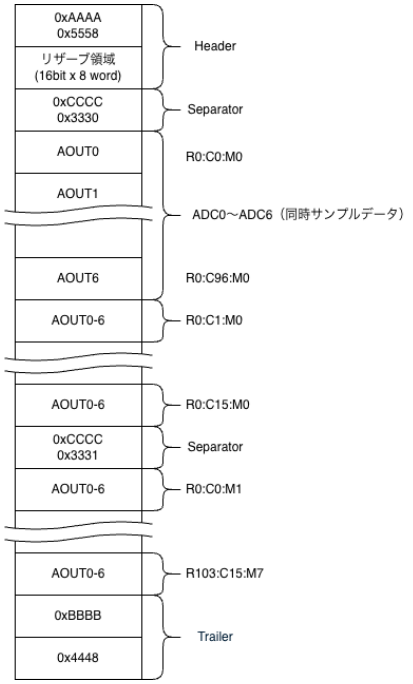


ASIC_ADC の接続先である AOUT の順となります。

図 6-4 TCP データフォーマット(1 ユニット)

6.1.4. SEMTEG2 Time Frame Readout mode

7 個の 16bit に拡張した ADC データブロックが複数個で構成されます。サンプルデータは、AOUT0 から AOUT6 まで昇順に並びます。ブロック数は ASIC 制御シーケンスで決定され、16×104×8 = 13,312 ブロックで構成されます。MA の値が共通なデータ先頭に separator として 0xCCCC_333n 配置します。n (最下位 4bit) は MA の値を示します。



ASIC_ADC の接続先である AOUT の順となります。

図 6-5 TCP データフォーマット(1 ユニット)

6.1.5. SEMTEG2 TEG

TEG レジスタで、TEG 読み出しを指定した場合、FREN_x で指定したフォーマットで通常の読み出し同様に読み出せます。ただし、A の範囲が 104～107 になり、ブロック数が 16×8×4=512 に変わります。

6.2. UDP データ

UDP 上の RBCP でレジスタアクセスを可能としています。UDP のレジスター覧を表 6-3 に示します。複数バイトで構成されるレジスタはアドレスの小さいほうが上位バイトとなります。

表 6-3　レジスタアドレス一覧

開始アドレス	レジスタ名	説明
0x00000000	DAQFlag	ASIC シーケンス動作モード
0x00000001	CDS_RSTV	ASIC_DAC0 の出力電圧設定
0x00000002		
0x00000003	RSTV	ASIC_DAC1 の出力電圧設定
0x00000004		
0x00000005	IIN1	ASIC_DAC2 の出力電圧設定
0x00000006		
0x00000007	IIN2 (VHB)	ASIC_DAC3 の出力電圧設定
0x00000008		
0x00000009	CDSRSTHITIME	未使用
0x0000000A	RSTHITIME	ASIC シーケンスの RST_x＝L 時間
0x0000000B	INTEGTIME	ASIC シーケンスの RST_x=H、STORE_x=L 時間
0x0000000C		
0x0000000D		
0x0000000E		
0x0000000F	PIXSCANTIME	ASIC シーケンス CA、RA の安定時間
0x00000010		
0x00000011	SubArrSelect	未使用
0x00000012	RAfixADDR	未使用
0x00000013		
0x00000014	CAfixADDR	未使用
0x00000015		
0x00000016	DELAYTIME	未使用
0x00000017		
0x00000018		
0x00000019	INTERVALTIME	未使用
0x0000001A	CSR	ASIC のレジスタ設定信号
0x0000001B	RAWaitTime	ASIC シーケンス RA 変更時の追加安定時間

表 6-3　レジスタアドレス一覧（続き）

開始アドレス	レジスタ名	説明
0x0000001C	TrigCLKSelect	Trig Clock の周波数選択
0x0000001D	Ntrigger	1回の Start RUN で収集するデータセット数
0x0000001E		
0x0000001F	COM_RST	未使用
0x00000020	INITIALFRAME_N	未使用
0x00000021	FRAMEUNIT_N	未使用
0x00000022	ASIC_TYPE	DIP スイッチの設定を表示
0x00000023	TEG	TEG 関連設定
0x00000024	EXT_FLAG	ASIC 動作を指示する FLAG
0x00000025	—	未使用
0x00000026	—	未使用
0x00000027	—	未使用
0x00000028	—	未使用
0x00000029	—	未使用
0x0000002A	—	未使用
0x0000002B	—	未使用
0x0000002C	—	未使用
0x0000002D	—	未使用
0x0000002E	ADC_STATUS	ADC の状態表示レジスタ
0x0000002F	ADC_CONTROL	ADC の設定用レジスタ
0x00000030	BIAS_DAC0	BIAS_DAC0 の電圧設定レジスタ
0x00000031		
0x00000032	BIAS_DAC1	BIAS_DAC1 の電圧設定レジスタ
0x00000033		
0x00000034	BIAS_DAC2	BIAS_DAC2 の電圧設定レジスタ
0x00000035		
0x00000036	BIAS_DAC3	BIAS_DAC3 の電圧設定レジスタ
0x00000037		
0x00000038	TEST_MODE	テストモード設定レジスタ
0x00000039	IO_TEST	TEST PIN,GP_LVDS, GP_LVCMOS33 テストレジスタ
0x0000003A		
0x0000003B	LED_TEST	LED・テストレジスタ
0x0000003C	DIPSW_TEST	DIP スイッチ・テストレジスタ

表 6-3　レジスタアドレス一覧（続き）

開始アドレス	レジスタ名	説明
0x0000003D 0x0000003E	ASIC_STS	ASIC 制御シーケンスの状態表示レジスタ
0x0000003F	—	未使用
0x00000040 ｜ 0x000003FF	—	未使用
0x00000400 ｜ 0x000005FF	ASIC_DAC Area	ASIC DAC 用「DAC63204」レジスタ空間
0x00000600 ｜ 0x000007FF	BIAS_DAC Area	BIAS DAC 用「DAC63204」レジスタ空間
0x00000800 ｜ 0x00000FFF	SFP_PlusArea	SFP+内蔵レジスタエリア
0x00001000 ｜ 0x00007FFF	—	未使用
0x00008000 ｜ 0x00009FFF	ADC0 Area	ADC0 内蔵レジスタ空間
0x0000A000 ｜ 0x0000BFFF	ADC1 Area	ADC1 内蔵レジスタ空間
0x0000C000 ｜ 0x0000DFFF	ADC2 Area	ADC2 内蔵レジスタ空間
0x0000E000 ｜ 0x0000FFFF	ADC3 Area	ADC3 内蔵レジスタ空間

表 6-3　レジスタアドレス一覧（続き）

開始アドレス	レジスタ名	説明
0x00010000 ｜ 0x0FFFFFFF	—	未使用
0x10000000 ｜ 0x1FFFFFFF	DRAM Area	DRAM 空間
0x20000000 ｜ 0xFFFEFFFF	—	未使用
0xFFFF0000 ｜ 0xFFFFFBFF	SiTCPXG Area1	SiTCPXG 予約領域
0xFFFFFC00 ｜ 0xFFFFFCFF	SiTCPXG Area2	SiTCPXG EEPROM 領域
0xFFFFFD00 ｜ 0xFFFFFEFF	SiTCPXG Area3	SiTCPXG 予約領域
0xFFFFFF00	Version	Version レジスタ
0xFFFFFF01		
0xFFFFFF02		
0xFFFFFF03		
0xFFFFFF04	Identifier	Identifier レジスタ
0xFFFFFF05		
0xFFFFFF06		
0xFFFFFF07		
0xFFFFFF08 ｜ 0xFFFFFFFF	SiTCPXG Area4	SiTCPXG レジスタ領域

6.2.1. Version レジスタ（0xFFFFFF00~0xFFFFFF03）

FPGA プログラムのバージョンを表示する 4Byte のレジスタです。値は本書の来歴で確認して下さい。

6.2.2. Identifier レジスタ（0xFFFFFF04~0xFFFFFF07）

FPGA プログラムの種別を示すレジスタです。本書で示す FPGA のレジスタ値を表 6-4 に示します。

表 6-4　Identifier レジスタ

項目	設定値
Identifier	0x98011D10

6.2.3. DAQFlag レジスタ（0x00000000）

ASIC 制御シーケンスの RUNWAIT 状態から PIXRST 状態への遷移条件である Start RUN の成立条件を設定する DAQFlag[2:0]を設定します。

DAQFlag=2 の場合は状態 INIT,状態 RUNWAIT では RST_x は H となり、それ以外のステートは L となります。

表 6-5 DAQFlag レジスタ

bit 位置	説明
bit7	未使用
bit6	未使用
bit5	未使用
bit4	未使用
bit3	未使用
bit2	DAQFlag[2:0]
bit1	
bit0	

表 6-6 DAQFlag の動作

設定値	Start RUN 成立条件
0	INIT 状態を維持
1	NIM[0]と NIM[1]の立ち上がり（論理積）
2	Trig Clock（RST_x=L 固定）
3	Trig Clock
4	未使用
5	NIM[0]の立ち上がり
6~7	未使用

6.2.4. CDS_RSTV(ASIC_DAC0) レジスタ（0x00000001~0x00000002）

ASIC_DAC0 の電圧を設定します。必ず上位 Byte に続いて下位 Byte を書き込んで下さい。出荷状態では、内部リファレンス使用で GAIN＝1.5 です。この時の設定した値と出力電圧は下式のようになり、出力電圧は±1.3%,±5mV の誤差を持ちます。

レジスタの初期値は起動時に DAC63204 の DAC-0-DATA レジスタの値を読み込んで設定します。本レジスタを書き込むとDAC-0-DATAレジスタにコピーします。なお、DAC-0-DATAレジスタはbit15~bit4 の MSB 詰めですが、本レジスタは bit11~bit0 の LSB 詰めとなっています。出荷時の設定値は 0x0000 です。

［出力電圧］ ＝ ［設定値］ × 0.4432mV

表 6-7 CDS_RSTV(ASIC_DAC0)レジスタ

bit 位置	説明
bit15	未使用
bit14	未使用
bit13	未使用
bit12	未使用
bit11~bit0	ASIC_DAC0 設定値

6.2.5. RSTV(ASIC_DAC1) レジスタ（0x00000003~0x00000004）

ASIC_DAC1 の電圧を設定します。ASIC_DAC0 レジスタと同様の仕様です。対応する DAC63204 のレジスタは DAC-1-DATA レジスタとなります。出荷時の設定値は 0x0000 です。

6.2.6. IIN1(ASIC_DAC2) レジスタ（0x00000005~0x00000006）

ASIC_DAC2 の電圧を設定します。ASIC_DAC0 レジスタと同様の仕様です。対応する DAC63204 のレジスタは DAC-2-DATA レジスタとなります。出荷時の設定値は 0x0000 です。

6.2.7. IIN2(ASIC_DAC3) レジスタ（0x00000007~0x00000008）

ASIC_DAC3 の電圧を設定します。ASIC_DAC0 レジスタと同様の仕様です。対応する DAC63204 のレジスタは DAC-3-DATA レジスタとなります。出荷時の設定値は 0x0000 です。

6.2.8. RSTHITIME レジスタ（0x0000000A）

ASIC 制御シーケンスの RST_x=L の期間を指定する 1Byte のレジスタです。設定範囲は 0x00~0xFF です。本レジスタの設定値と RST_x=L の期間の関係は下式の通りです。初期値は 0x00 です。

[RST_x=L の期間] = ([設定値] + 1) × 25ns

6.2.9. INTEGTIME レジスタ（0x0000000B~0x0000000E）

ASIC 制御シーケンスの RST_x=H, STORE_x=L の期間を指定する 4Byte のレジスタです。設定範囲は 0x00000000~0xFFFFFFFF です。本レジスタの設定値と RST_x=H, STORE_x=L の期間の関係は下式の通りです。初期値は 0x00000000 です。

[RST_x=H, STORE_x=L の期間] = ([設定値] + 1) × 25ns

6.2.10. PIXSCANTIME レジスタ（0x0000000F~0x00000010）

ASIC 制御シーケンスの CA,RA を変化させた後の ADC サンプルまでの時間を指定する 2Byte のレジスタです。設定範囲は 0x0000~0xFFFF です。本レジスタの設定値と ADC サンプルまでの時間の関係は下式の通りです。初期値は 0x0000 です。メモリ帯域制限により 6 以上での使用を推奨します。

[ADC サンプルまでの時間] = ([設定値] + 2) × 25ns

6.2.11. CSR （0x0000001A）

ASIC のレジスタ指定信号の状態を設定します。表 6-8 に各 bit の意味を示します。初期値は 0x00 です。

表 6-8 CSR

bit 位置	シンボル	説明	
bit7	—	未使用	
bit6	FREN_x	0:FREN_x=L	1:FREN_x=H
bit5	EN_BIN22	0:EN_BIN22=L	1:EN_BIN22=H
bit4	(EN_OUT_x)	未使用	
bit3	EN_HG	0:EN_HG =L	1:EN_HG=H
bit2	(EN_MUX_x)	未使用	
bit1	ENBIAS2_x	0:ENBIAS2_x =L	1:ENBIAS2_x=H
bit0	ENBIAS1_x	0:ENBIAS1_x =L	1:ENBIAS1_x=H

6.2.12. RAWaitTime レジスタ（0x0000001B）

ASIC 制御シーケンスの RAEN の待ち時間を指定する 1Byte のレジスタです。設定範囲は 0x00~0xFF です。本レジスタの設定値と追加待ち時間の関係は下式の通りです。初期値は 0x00 です。

［RAEN 待ち時間］ =（[設定値] + 1 ） × 25ns

6.2.13. TrigCLKSelect レジスタ（0x0000001C）

ASIC 制御シーケンスにおいて DAQFlag =2 または 3 の時に使用する Trig Clock の周波数を指定します。設定値できるのは 0x00~0xFF ですが、有効なのは 0x00~0x05 です。設定値と周波数の関係を表 6-9 に示します。初期値は 0x00 です。

表 6-9 Trig Clock の周期

TrigCLKSelect[7:0]	周期
0	連続※
1	100Hz
2	75Hz
3	50Hz
4	25Hz
5	10Hz
6	5Hz
7~255	100Hz

※ 連続とは Start RUN イベントが常に1である（RUNWAIT 状態から PIXRST 状態へ無条件で移行する）事を示します。

6.2.14. Ntrigger レジスタ（0x0000001D~0x0000001E）

ASIC 制御シーケンスで 1 回の Start RUN イベントで何回 PIXRST～ENDRUN を繰り返すかを指定します。繰り返し回数は TCP データのデータユニット数と一致します。本レジスタの設定値と繰り返し回数の関係は下式の通りです。初期値は 0x0000 です。

［繰り返し回数］ =（[設定値] + 1 ）回

6.2.15. ASIC TYPE レジスタ（0x00000022）

本レジスタは、DIP スイッチ 7, 8 の設定値を読み出せます。

bit7 を 1 として書き込むと値を上書きすることができます。

表 6-10　ASIC TYPE レジスタ

bit 位置	シンボル	説明
bit7	write	1: 値更新(debug 用)
bit6	—	未使用
bit5	—	未使用
bit4	—	未使用
bit3	—	未使用
bit2	—	未使用
bit1	DIP スイッチ 8	0: INTPIX4NUHT
bit0	DIP スイッチ 7	1: SEMTEG2

6.2.16. TEG レジスタ（0x00000023）

SEMTEG で TEG 読み出しを指定します。RA 104~107 が読み出し範囲となります。

表 6-11　TEG レジスタ

bit 位置	シンボル	説明
bit7	—	未使用
bit6	—	未使用
bit5	—	未使用
bit4	—	未使用
bit3	—	未使用
bit2	—	未使用
bit1	—	未使用
bit0	TEG	1: TEG 読み出し SEMTEG2 のみ有効

6.2.17. EXT_FLAG レジスタ （0x00000024）

AOUTA は、INTPIX4NUHT、SEMTEG2 両方に有効です。

MEMRST は、SEMTEG2 のみ有効な設定です。MEMRST はメモリリセットの開始タイミングを指定します。MEMRST=0 指定時、INTPIX4NUHT と同じ動作となります。メモリリセットの開始タイミングを、表 6-13 に示します。

MEMRST=1 指定、状態 RUNWAIT でメモリリセットが終了している場合(pixel reset done = 1)、状態 PIXRST から状態 INTEG へ速やかに遷移します。

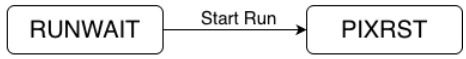
ASIC 制御シーケンスの詳細は、5.2、0 を参照してください。

表 6-12 EXT_FLAG レジスタ

bit 位置	シンボル	説明
bit7	—	未使用
bit6	—	未使用
bit5	—	未使用
bit4	—	未使用
bit3	—	未使用
bit2	—	未使用
bit1	AOUTA	0: Parallel Output Mode 1: Single Output Mode
bit0	MEMRST	Memory Reset の順序を指定します。 SEMTEG2 のみ有効です。 0: Trigger 後にメモリリセット 1: メモリリセット後 Trigger 待機

表 6-13 メモリリセット開始タイミング

状態遷移タイミング	RUNWAIT→PIXRST ENDRUN→PIXRST	INIT→RUNWAIT ENDRUN→RUNWAIT ENDRUN→PIXRST
INTPIX4NUHT SEMTEG2 & MEMSET = 0	メモリリセット開始	—
SEMTEG2 & MEMSET = 1	—	メモリリセット開始



MEMRST = 0	トリガ待機	トリガで遷移	メモリリセット待機
MEMRST = 1	メモリリセット実行後 トリガ待機	トリガで遷移	リセット済み 待機無し

図 6-6 MEMRST

6.2.18. ADC_STATUS レジスタ （0x0000002E）

本レジスタは、ADC 異常時の調査用です。ADC の状態を表示します。表 6-14 に各 bit の意味を示します。正常時には 0x0F が読み出せます。

表 6-14 ADC_STAUS レジスタ

bit 位置	シンボル	説明
bit7	—	未使用
bit6	—	未使用
bit5	—	未使用
bit4	ADC_BUSY	0:ASIC シーケンス動作可　1:ASIC シーケンス動作不可
bit3	ADC3_RDY	0:ADC3 同期中　1:ADC3 同期完了
bit2	ADC2_RDY	0:ADC2 同期中　1:ADC2 同期完了
bit1	ADC1_RDY	0:ADC1 同期中　1:ADC1 同期完了
bit0	ADC0_RDY	0:ADC0 同期中　1:ADC0 同期完了

6.2.19. ADC_CONTROL レジスタ （0x0000002F）

本レジスタは、ADC 関連機能を直接制御するレジスタです。通常このレジスタをアクセスする必要はありません。表 6-15 に各 bit の意味を示します。初期値は 0x10 です。

表 6-15 ADC_CONTROL レジスタ

bit 位置	シンボル	説明
bit7	ADC_RESET	1 を書き込むと ADC をリセット、自動 0 復帰
bit6	—	未使用
bit5	—	未使用
bit4	USE_MEM	0:DRAM 使用禁止　1:DRAM を送信バッファとして使用
bit3	ADJ_DLY※	ADC サンプルタイミングを調整します。単位は 5ns です。 F:-5ns,E:-10ns,D-15ns,C:-20ns,B:-25ns,A:-30ns,9:-35ns,8:-40ns 0:調整なし 1:+5ns,2:+10ns,3:+15ns,4:+20ns,5:+25ns,6:+30ns,7:+35ns
bit2		
bit1		
bit0		

※ ADC クロックは ADJ_DLY で変化しません。ADJ_DLY は ADC 同期回路と ASIC 制御シーケンスとのタイミングのみを調整します。

6.2.20. BIAS_DAC0（0x00000030~0x00000031）

BIAS_DAC0 の電圧を設定します。必ず上位 Byte に続いて下位 Byte を書き込んで下さい。出荷状態では、内部リファレンス使用で GAIN＝1.5 です。この時の設定した値と出力電圧は下式のようになり、出力電圧は±1.3%,±5mV の誤差を持ちます。

レジスタの初期値は起動時に DAC63204 の DAC-0-DATA レジスタの値を読み込んで設定します。本レジスタを書き込むとDAC-0-DATAレジスタにコピーします。なお、DAC-0-DATAレジスタはbit15~bit4 の MSB 詰めですが、本レジスタは bit11~bit0 の LSB 詰めとなっています。出荷時の設定値は 0x07EE(0.9V)です。

［出力電圧］ ＝ ［設定値］ × 0.4432mV

表 6-16 BIAS_DAC0 レジスタ

bit 位置	説明
bit15	未使用
bit14	未使用
bit13	未使用
bit12	未使用
bit11~bit0	BIAS_DAC0 設定値

6.2.21. BIAS_DAC1 レジスタ（0x00000032~0x00000033）

BIAS_DAC1 の電圧を設定します。BIAS_DAC0 レジスタと同様の仕様です。対応する DAC63204 のレジスタは DAC-1-DATA レジスタとなります。出荷時の設定値は 0x07EE(0.9V)です。

6.2.22. BIAS_DAC2 レジスタ（0x00000034~0x00000035）

BIAS_DAC2 の電圧を設定します。BIAS_DAC0 レジスタと同様の仕様です。対応する DAC63204 のレジスタは DAC-2-DATA レジスタとなります。出荷時の設定値は 0x07EE(0.9V)です。

6.2.23. BIAS_DAC3 レジスタ（0x00000036~0x00000037）

BIAS_DAC3 の電圧を設定します。BIAS_DAC0 レジスタと同様の仕様です。対応する DAC63204 のレジスタは DAC-3-DATA レジスタとなります。出荷時の設定値は 0x07EE(0.9V)です。

6.2.24. TEST_MODE レジスタ （0x00000038）

本レジスタは出荷検査時に使用するレジスタです。表 6-17 に各 bit の意味を示します。bit7~bit4 は DRAM の検査用です。bit6 を 0、bit7 を 1 にして書き込むと DRAM に ITU-T O.150 PN23 のデータを書き込みます。bit6 を 1、bit7 を 1 にして書き込むと DRAM のデータを読み出し PN23 データの比較を行います。不一致があると bit4 の PRBS_ERR が 1 となります。PRBS_ERR は次に bit7 に1を書き込まれるまで保持します。bit5 を 1 にすると ITU-T O.150 PN23 のビット反転データでの確認となります。bit5=0 での検査と bit5=1 の検査を行うことで、DRAM すべての CELL に対して0と1の書き込みができることを保証します。bit0 を 1 にするとテストモードとなります。テストモードでは ASIC 制御シーケンスがテスト用となり、TCP データのブロック数は 117 で 32×117=3,744 個の ADC データとなります。テストデータは常に Trig Clock で起動しますが bit1 が1の場合、1回の TCP セッションで1ユニットのみの転送となります。また、テストモードでは LED は LED_TEST レジスタの状態を表示し、入出力コネクタの LVDS 入力バッファが有効となります。本レジスタの初期値は 0x04 または 0x0C です。(bit3 は SFP のレジスタの内容で決まります)

なお、テストモード中の ASIC 制御シーケンスについては「7.3 テストモードでの TCP データ」を参照して下さい。

表 6-17 TEST_MODE レジスタ

bit 位置	シンボル	説明
bit7	PRBS_REQ	1:DRAM アクセス開始、自動 0 復帰
bit6	RRBS_CHK	0:テストデータ書き込み 1:テストデータチェック
bit5	PRBS_INV	0:PN23 データ 1:PN23 のビット反転データ
bit4	PRBS_ERR	0:エラーなし 1:エラー検出
bit3	SFP_RS1※1	SFP の RS1 信号 0:L , 1:H
bit2	SFP_RS0※2	SFP の RS0 信号 0:L , 1:H
bit1	TEST_ONETIME※3	TCP ユニット数 0:無制限 1:1 回のみ
bit0	TEST_MODE※3	0:通常モード 1:テストモード

※1 RS1 は SFP レジスタの内容で自動的に決まります。書き込みできません。RS1 は SFP+の規格では TX 信号レートで H の時 4.25GBd 超で L の時 4.25GBd 以下です。

※2 RS0 は SFP+の規格では RX 信号レートで H の時 4.25GBd 超で L の時 4.25GBd 以下です。

※3 TEST_ONETIME=1,TEST_MODE=0 の場合、ASIC_D[115:0]が全て 0 に固定され、TCP データは TEST_ONETIME=1,TEST_MODE=1 の時と同じ動作になります。TCP 以外の動作は通常モードです。

6.2.25. IO_TEST レジスタ （0x00000039~0x0000003A）

本レジスタは出荷検査時に使用するレジスタです。本レジスタは TEST PIN や入出力コネクタに収容されている GP_LVDS や GP_LVCMOS33 の検査用です。GP_LVDS の入力はテストモード以外ではディセイブルとなります。表 6-18 に各 bit の意味を示します。初期値は出力値の bit は 0 です。入力値は入力信号のレベルで決定されます。

表 6-18 IO_TEST レジスタ

bit 位置	シンボル	説明
bit15	LVDS_SP3	LVDS_SP3 の出力値 0:L , 1:H
bit14	LVDS_SP2	LVDS_SP2 の出力値 0:L , 1:H
bit13	LVDS_SP1	LVDS_SP1 の入力値 0:L , 1:H
bit12	LVDS_SP0	LVDS_SP0 の入力値 0:L , 1:H
bit11	TEST_PIN3	TEST_PIN3 の入力値 0:L , 1:H
bit10	TEST_PIN2	TEST_PIN2 の入力値 0:L , 1:H
bit9	TEST_PIN1	TEST_PIN1 の出力値 0:L , 1:H
bit8	TEST_PIN0	TEST_PIN0 の出力値 0:L , 1:H
bit7	NIM_IN3	NIM_IN3 の入力値 0:L , 1:H
bit6	NIM_IN2	NIM_IN2 の入力値 0:L , 1:H
bit5	NIM_IN1	NIM_IN1 の入力値 0:L , 1:H
bit4	NIM_IN0	NIM_IN0 の入力値 0:L , 1:H
bit3	NIM_OUT3	NIM_OUT3 の出力値 0:L , 1:H
bit2	NIM_OUT2	NIM_OUT2 の出力値 0:L , 1:H
bit1	NIM_OUT1	NIM_OUT1 の出力値 0:L , 1:H
bit0	NIM_OUT0	NIM_OUT0 の出力値 0:L , 1:H

※ 「入力値」となっている bit は入力信号の状態であり書き込みできません。

6.2.26. LED_TEST（0x0000003B）

本レジスタは出荷検査時に使用するレジスタです。テストモード時の LED_GP[7:0]を制御します。通常時の LED_GP[7:0]は DIP スイッチで指定したレジスタの値を表示します。表 6-19 に各 bit の意味を示します。初期値は 0x00 です。

表 6-19 LED_TEST レジスタ

bit 位置	シンボル	説明
bit7	LED_GP7	LED_GP 7 の制御 0:消灯 1:点灯
bit6	LED_GP 6	LED_GP 6 の制御 0:消灯 1:点灯
bit5	LED_GP 5	LED_GP 5 の制御 0:消灯 1:点灯
bit4	LED_GP 4	LED_GP 4 の制御 0:消灯 1:点灯
bit3	LED_GP 3	LED_GP 3 の制御 0:消灯 1:点灯
bit2	LED_GP 2	LED_GP 2 の制御 0:消灯 1:点灯
bit1	LED_GP 1	LED_GP 1 の制御 0:消灯 1:点灯
bit0	LED_GP 0	LED_GP 0 の制御 0:消灯 1:点灯

6.2.27. DIPSW_TEST（0x0000003C）

本レジスタは出荷検査時に使用するレジスタです。DIP スイッチの検査用です。DIP スイッチの状態を表示します。表 6-20 に各 bit の意味を示します。

表 6-20 DIPSW_TEST レジスタ

bit 位置	シンボル	説明
bit7	DIPSW7	DIP スイッチ 8 の状態 0:OFF , 1:ON
bit6	DIPSW6	DIP スイッチ 7 の状態 0:OFF , 1:ON
bit5	DIPSW5	DIP スイッチ 6 の状態 0:OFF , 1:ON
bit4	DIPSW4	DIP スイッチ 5 の状態 0:OFF , 1:ON
bit3	DIPSW3	DIP スイッチ 4 の状態 0:OFF , 1:ON
bit2	DIPSW2	DIP スイッチ 3 の状態 0:OFF , 1:ON
bit1	DIPSW1	DIP スイッチ 2 の状態 0:OFF , 1:ON
bit0	DIPSW0	DIP スイッチ 1 の状態 0:OFF , 1:ON

6.2.28. ASIC_STS（0x0000003D~0x0000003E）

ASIC 制御シーケンスの状態表示を行うレジスタです。通常、10bit のレジスタのいずれかの bit が 1 となります。例外的に強制初期化時のみ全ビット 0 となる瞬間があります。表 6-21 に各 bit の意味を示します。

表 6-21 ASIC_STS レジスタ

bit 位置	シンボル	説明
bit9	STS_NEXTMA	状態 NEXTMA の時 1
bit8	STS_RAEN	状態 RAEN の時 1
bit7	STS_ENDRUN	状態 ENDRUN の時 1
bit6	STS_NEXTRA	状態 NEXTRA の時 1
bit5	STS_NEXTCA	状態 NEXTCA の時 1
bit4	STS_SCAN	状態 SCAN の時 1
bit3	STS_INTEG	状態 INTEG の時 1
bit2	STS_PIXRST	状態 PIXRST の時 1
bit1	STS_RUNWAIT	状態 RUNWAIT の時 1
bit0	STS_INIT	状態 INIT の時 1

6.2.29. ASIC_DAC Area（0x00000400~0x000005FF）

ASIC_DAC 出力用「DAC63204」のレジスタをアクセスするための領域です。レジスタの詳細は「DAC63204」のデータシートを参照して下さい。「DAC63204」のレジスタは 16bit 単位ですので「DAC63204」の I^2C アドレスを A とした時、ASIC_DAC Area でのアドレスは 0x00000400+2A と 0x00000400+2A+1 となります。

6.2.30. BIAS_DAC Area（0x00000600~0x000007FF）

BIAS_DAC 出力用であることを除き、「ASIC_DAC Area」と同じです。「DAC63204」の I^2C アドレスを A とした時、BIAS_DAC Area でのアドレスは 0x00000600+2A と 0x00000600+2A+1 となります。

6.2.31. SFP_PlusArea(0x00000800~0x00000FFF)

SFP+モジュール内のレジスタをアクセスするための領域です。レジスタの詳細は「SFF-8472」を参照して下さい。デバイスアドレス 1010_000x のアドレス A のアドレスは 0x00000800+A となります。デバイスアドレス 1010_001x のアドレス B のアドレスは 0x00000900+B となります。

6.2.32. ADC0 Area(0x00008000~0x00009FFF)

ADC0 の「AD9257」のレジスタをアクセスするための領域です。レジスタの詳細は ANALOG DEVICES の「AN-877」を参照して下さい。「AD9257」のレジスタアドレスを A とすると ADC0 Area でのアドレスは 0x00008000+A となります。

6.2.33. ADC1 Area(0x0000A000~0x0000BFFF)

ADC1 用であることを除き ADC0 Area と同じです。「AD9257」のレジスタアドレスを A とすると ADC1 Area でのアドレスは 0x0000A000+A となります。

6.2.34. ADC2 Area(0x0000C000~0x0000DFFF)

ADC2 用であることを除き ADC0 Area と同じです。「AD9257」のレジスタアドレスを A とすると ADC2 Area でのアドレスは 0x0000C000+A となります。

6.2.35. ADC3 Area(0x0000E000~0x0000FFFF)

ADC3 用であることを除き ADC0 Area と同じです。「AD9257」のレジスタアドレスを A とすると ADC3 Area でのアドレスは 0x0000E000+A となります。

6.2.36. DRAM Area(0x10000000~0x1FFFFFFF)

DRAM にアクセスできる 256Mbyte 領域です。通常 DRAM は TCP データのバッファとして使用するため本領域に書き込みを行うと TCP データが破壊されることがあります。また、本領域のアクセスにより DRAM の帯域が減少し TCP データの処理能力が低下する場合もあります。

6.2.37. SiTCPXG　Area2(0xFFFFFC00~0xFFFFFCFF)

SiTCPXG の EEPROM 領域です。詳細は「**SiTCPXG 説明書**」を参照して下さい。

6.2.38. SiTCPXG　Area4(0xFFFFFF00~0xFFFFFFFF)

SiTCPXG のレジスタ領域です。詳細は「**SiTCPXG 説明書**」を参照して下さい。表 6-3 では Version レジスタと Identifier レジスタを別領域としていますがこれらも含めて SiTCPXG のレジスタ領域です。

7. 補足説明

7.1. 初期化

FPGA プログラムは各タイミングで自律的に初期化を行います。

7.1.1. DAC の初期化

SiTCPXG の初期化、DRAM の初期化が終わると「DAC63204」の DAC-0-DATA~ DAC-3-DATA のレジスタを読み出して対応する ASIC_DAC0~ ASIC_DAC3 及び BIAS_DAC0~ BIAS_DAC3 レジスタに代入します。「DAC63204」は、不揮発性メモリを内蔵しており初期状態を任意に変更できます。レジスタの内容と「DAC63204」の状態に不整合が発生しないように初期化を行います。

7.1.2. ADC の初期化

SiTCPXG の初期化、DRAM の初期化が完了した場合や ADC_CONTROL レジスタでリセットを行った場合に ADC 及び ADC 同期回路の初期化を自律的に行います。初期化処理の内容を表 7-1 に示します。

表 7-1 ADC 初期化処理

項番	処理内容
1	「AD9257」のアドレス 0x0000 に 0x3C を書き込む。 （Soft reset をセット）
2	「AD9257」のアドレス 0x0008 に 0x03 を書き込む。 (Internal power-down mode を: reset に設定)
3	「AD9257」のアドレス 0x0014 に 0x00 を書き込む。 （Offset binary に設定）
4	「AD9257」のアドレス 0x0008 に 0x00 を書き込む。 (Internal power-down mode を chip run に設定)
5	128ms 待ち合わせ
6	FCO 信号のビット同期を行う。この時すべてのチャネルも同じように調整する。
7	FCO の同期が完了したら、チャネル独立でビット同期を行う。
8	すべてのチャンネルのビット同期が完了したら ADCx_RDY を 1 にする。
9	すべての ADC の ADCx_RDY が 1 になったら ADC_BUSY を 0 にする。

※ ADC_BUSY=1 の場合、SCAN 状態は待ち合わせとなります。

7.1.3. SFP の初期化

SFP+の RS1 ピンは旧 SFP 規格では VEE(GND)となっています。RS1 はオプションではありますが TX 信号レートを設定し H の時 4.25GBd 超で L の時 4.25GBd 以下です。10GBASE-R の場合、H に設定する必要があります。そこで、SiTCPXG の初期化、DRAM の初期化が完了した場合や SFP が挿入された場合、SFP+モジュール内のデバイスアドレス 1010_000x のアドレス 0x03 を読み出します。読み出した値の bit7~bit4 のいずれかが1であった場合は RS1 を H に設定します。

表 7-2 デバイスアドレス 1010_000x のアドレス 0x03

bit 位置	意味
bit7	10GBASE-ER
bit6	10GBASE-LRM
bit5	10GBASE-LR
bit4	10GBASE-SR
bit3	1X SX
bit2	1X LX
bit1	1X Copper Active
bit0	1X Copper Passive

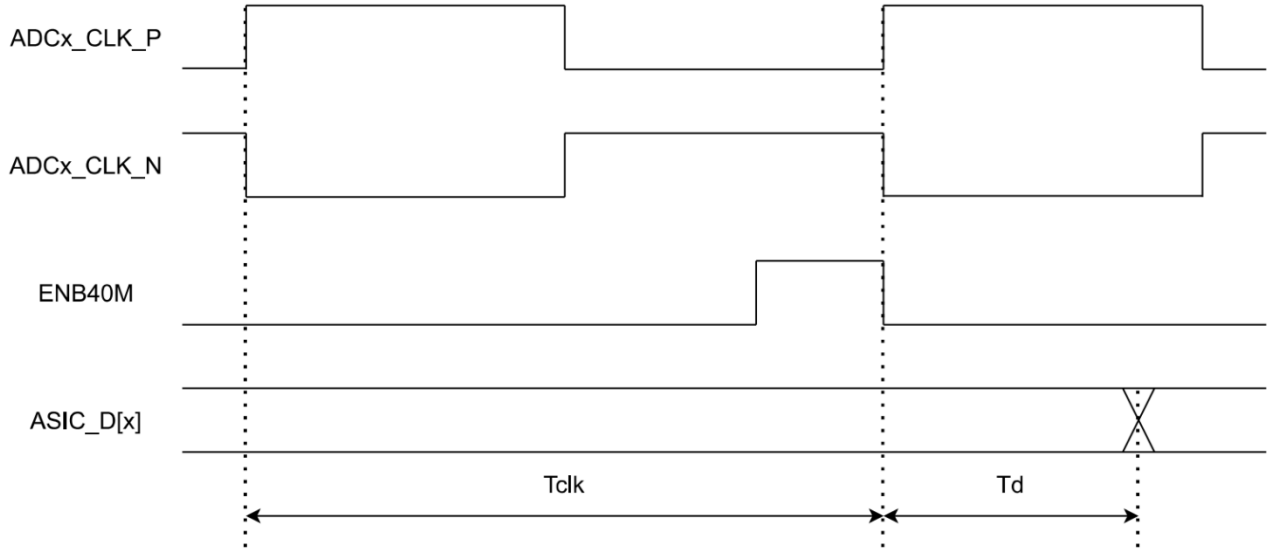
※ 該当する bit が 1 となります。

表 7-3 SFP+の信号(一部)

ピン番号	信号名	説明
2	TX_FAULT	L:送信回路正常 H:送信回路異常
3	TX_DISABLE	L:送信回路 ON H:送信回路 OFF
4	SDA	I²C の SDA
5	SCL	I²C の SCL
6	MOD_ABS	SFP+モジュールの有無 L:挿入 H:抜去
7	RS0	Rx 信号レート L:≦4.25 GBd H:＞4.25 GBd
8	RX_LOS	L:光信号基準値以上 H:光信号基準値以下
9	RS1	Tx 信号レート L:≦4.25 GBd H:＞4.25 GBd

7.2. ADC タイミング

ASIC 制御信号である ASIC_D[x]の変化位置と ADC のサンプルクロック（ADCx_CLK_P, ADCx_CLK_N）の関係を図 7-1 に示します。ASIC_CTRL が出力する ENB40M によって ADC のサンプルクロックは生成されます。



記号	時間
Tclk	25ns
Td	10ns

※ ENB40M は ASIC_CTRL の出力する内部信号であり Tclk 周期で発生する 5ns のパルスです。
ADC_DAQ は ENB40M のタイミングと同じとなります。

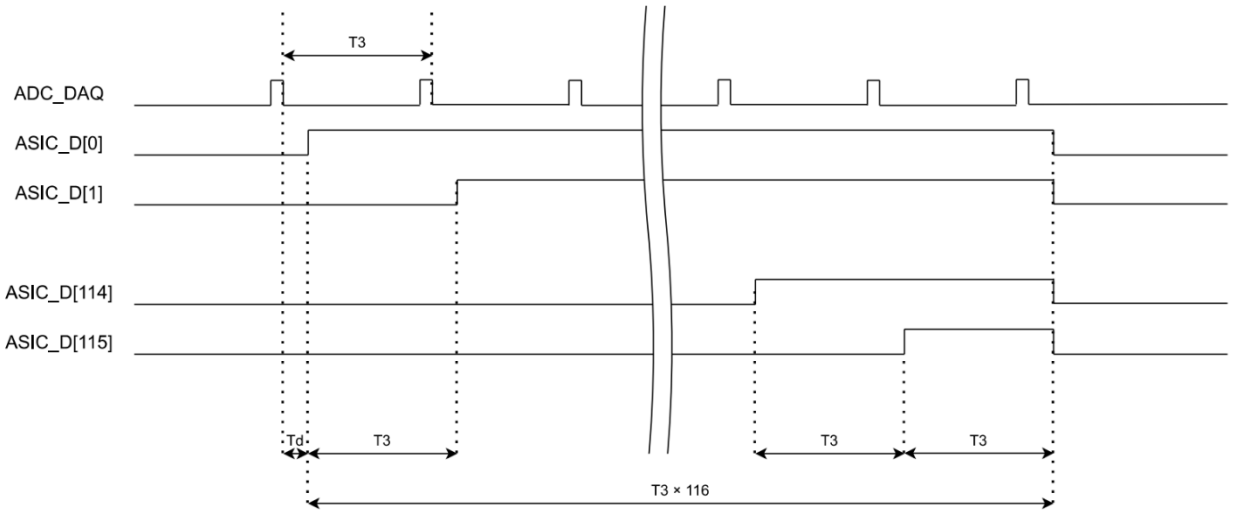
※ 時間は論理シミュレーションの値であり、出力遅延時間は含みません。

※ ASIC_CTRL の出力である RST_x , STORE _x , CA , RA（未接続）は ASIC_D[x]より 5ns 早くなります。（RST_x , STORE _x , CA , RA は ASIC_D[x]にマップされます。）

図 7-1 ASIC 制御信号とサンプルクロックの関係

7.3. テストモードでの TCP データ

テストモードでは ASIC 制御シーケンスも検査モードとなります。検査モードでは ASIC_D[115:0]のすべての信号を L の状態から Trig Clock があると ASIC_D[0]から順に ASIC_D[115]を H にします。変化は PIXSCANTIME レジスタで指定した時間となります。また、TCP のデータは AOUT[x]=ASIC_ADC[x]にマップします。ブロック数は 117 でヘッダ、トレーラを含めたデータ数は 4+117*32*2+4=7,496Byte となります。



記号	時間
Td	10ns
T3	(PIXSCANTIME+2) × 25ns

※ 時間は論理シミュレーションの値であり出力遅延は含みません。

※ ADC_DAQ は ASIC_CTRL の出力する内部信号であり ADC データサンプルを指示する 5ns のパルスです。タイミングは ENB40M と同じです。

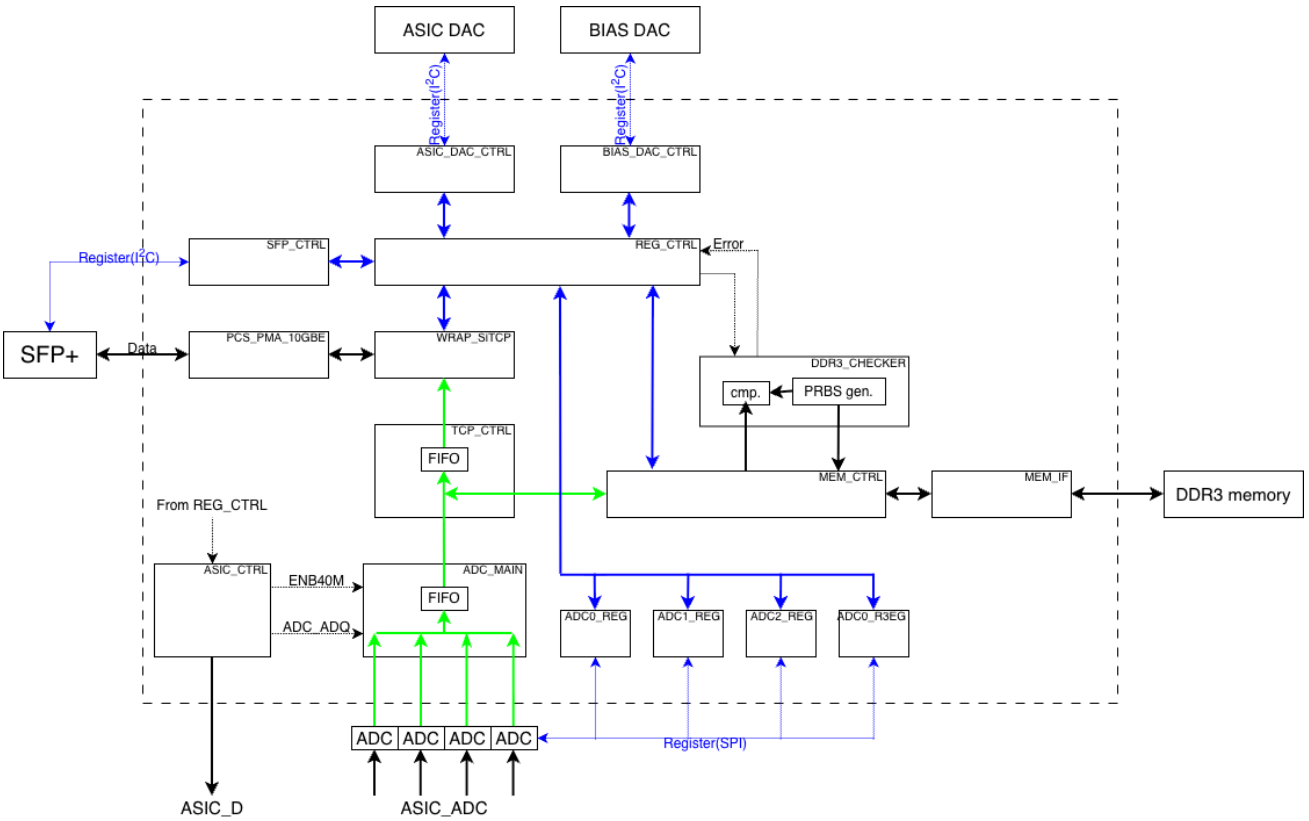
図 7-2 テストモードでの ASIC 制御・タイミングチャート

8. FPGA プログラム解説

トップモジュールである SEABAS3（ファイル：SEABAS3.v）の入出力ポートはすべて IO スタンダードを指定した入出力バッファ・プリミティブで記述しています。入出力バッファ・プリミティブと入出力ポートを結ぶネットに他の信号を接続しないで下さい。

8.1. ブロック図

図 8-1 にブロック図を示します。図の青色の線は RBCP アクセスによって駆動されるバスです。緑色の線は TCP データを示します。TCP_CTRL は、通常時（USE_MEM=1）は TCP_CTRL 内の FIFO が FULL で ADC_MAIN 内の FIFO に 64bit*64 以上のデータがあると、DDR3 メモリをバッファとして使用します。また、ADC_MIAN 内の FIFO が FULL になるとデータを破棄します。一旦データを破棄すると ADC_MIAN 内の FIFO が空となり DDR3 メモリを用いた FIFO も空となりかつユニットデータの先頭までデータ破棄を継続します。



※　ブロックの名称はインスタンス名です。

図 8-1　ブロック図

8.2. 階層図

図 8-2 に階層図を示します。左がインスタンス名、右がモジュール名です。

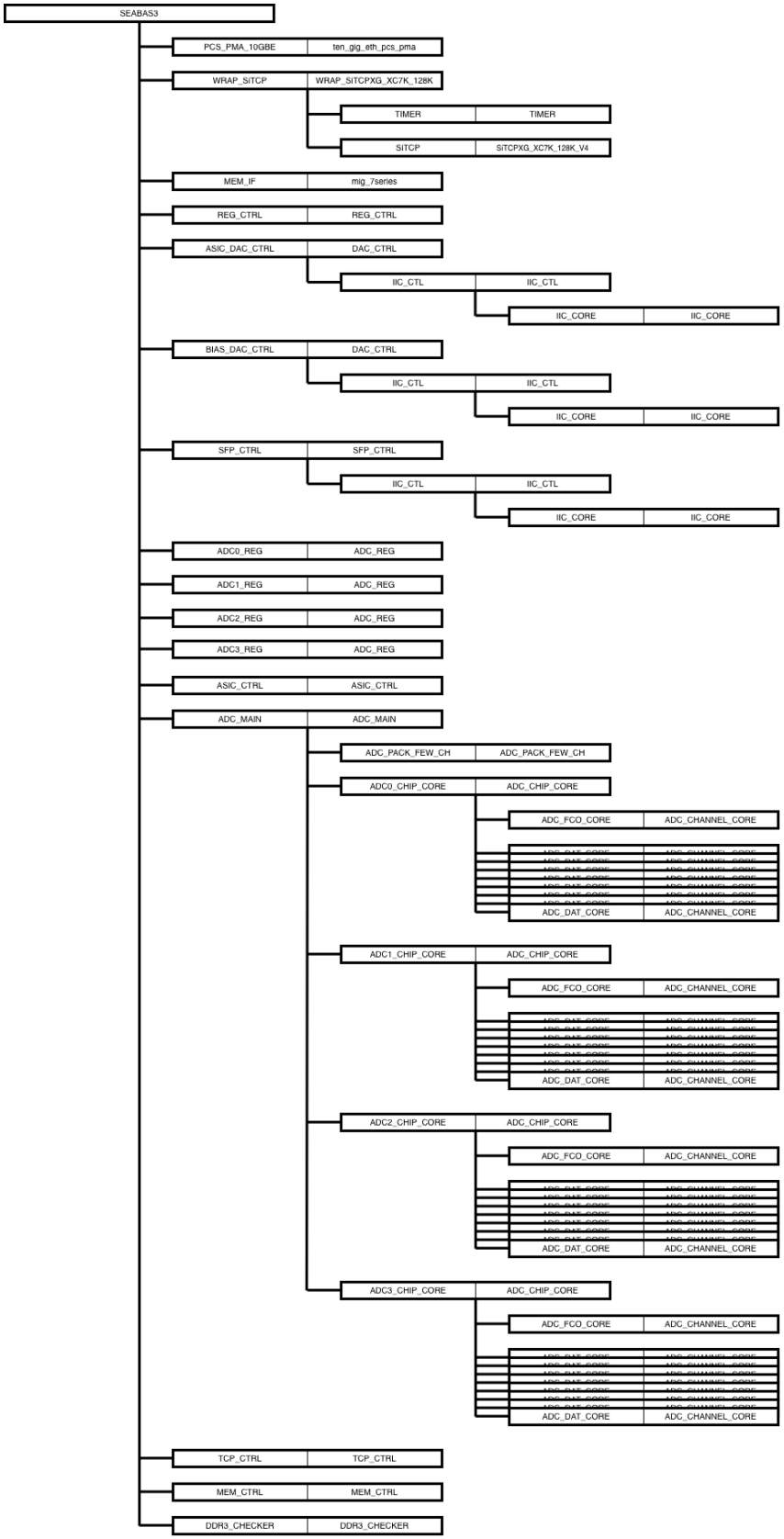


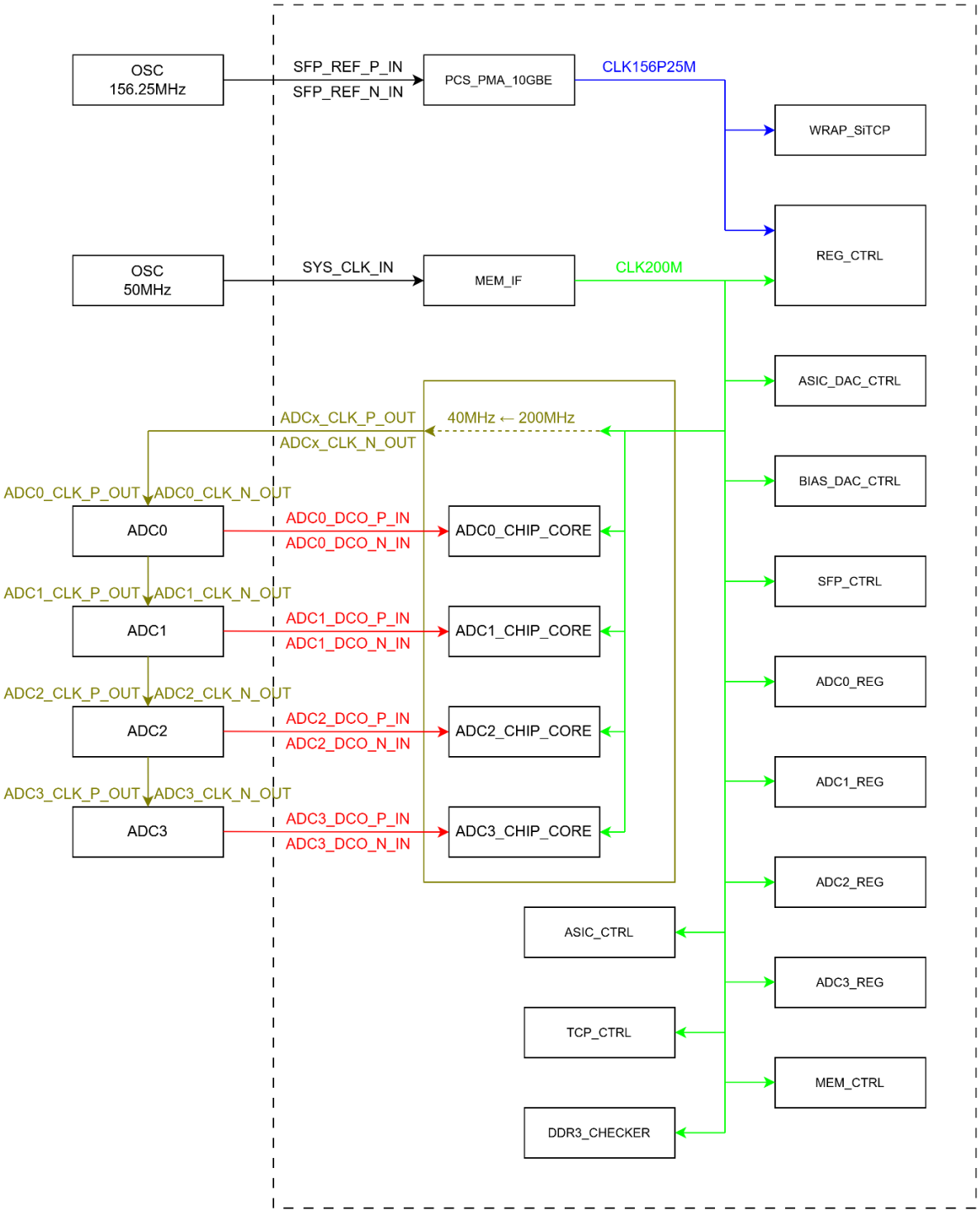
図 8-2 階層図

表 8-1 モジュール一覧

モジュール名	説明
SEABAS3	トップモジュールです。
ten_gig_eth_pcs_pma	10GBASE-R 用 PCS/PMA モジュールです。
WRAP_SiTCPXG_XC7K_128K	Kintex7 用 SiTCPXG のラッパーです。ACT 表示用 LED 回路を追加しています。
TIMER	SiTCPXG 用タイマです。
SiTCPXG_XC7K_128K_V4	SiTCPXG のコアです。
mig_7series	DDR3 メモリインタフェースです。
REG_CTRL	RBCP バスを終端する回路です。レジスタ及び各モジュール間インタフェースに変換回路を有します。
DAC_CTRL	DAC「DAC63204」のレジスタにアクセスする回路です。
SFP_CTRL	SFP+モジュールのレジスタにアクセスする回路です。モジュールが挿入されると自動的にレジスタを読み出し RS1の状態を決定します。
IIC_CTL	I²C メモリをアクセスするためのモジュール
IIC_CORE	I²C 信号波形を生成するモジュール
ADC_REG	ADC レジスタアクセスのための SPI インタフェース回路
ASIC_CTRL	ASIC_D[115:0]の信号を生成するモジュール
ADC_MAIN	本モジュールでは 4 個の ADC に共通する部分を記述しています。IDELAYCTRL は本モジュールに記述しています。
ADC_PACK_FEW_CH	single output mode 及び SEMTEG2 の ADC データ整形処理用モジュール
ADC_CHIP_CORE	本モジュールでは 1 個の ADC に共通する部分を記述しています。DCO 信号のクロックバッファは本モジュールに記述しています。
ADC_CHANNEL_CORE	本モジュールは 1 ラインのシリアルデータ受信回路を記述しています。サンプル位相の測定や同期完了確認は本モジュールに記述しています。
TCP_CTRL	ADC_MAIN からの送信データを SiTCPXG へ転送するためのモジュールです。USE_MEM =1 の場合で SiTCPXG へのバッファがフルの場合は、DRAM を FIFO として使用します。
MEM_CTRL	REG_CTRL,TCP_CTRL,DDR3_CHECKER からのアクセスを調停し mig_7series モジュールとのインタフェースを行うモジュールです。
DDR3_CHECKER	DRAM のメモリチェックの為の PRBS ジェネレータと比較器を内蔵し PN23 データのライトデータ生成または読み出しデータと PN23 の比較を行います。

8.3. クロック

図 8-3 にクロック系統図を示します。また、各クロックの周波数を表 2-1 に示します。



※　破線四角内は FPGA プログラムであることを示します。

※　破線四角内の四角の中の名称はインスタンス名です。

図 8-3　クロック系統図

表 8-2 クロック一覧

信号名	入出力/内部※1	周波数
SFP_REF_P_IN	入力	156.25MHz
SFP_REF_N_IN		
CLK156P25M	内部	156.25MHz
SYS_CLK_IN	入力	50MHz
CLK200M	内部	200MHz
ADC0_CLK_P_OUT	出力	40MHz
ADC0_CLK_N_OUT		
ADC0_DCO_P_IN	入力	280MHz
ADC0_DCO_N_IN		
ADC0_CHIP_CORE/IOCLOCK※2	内部	280MHz
ADC0_CHIP_CORE/RCLOCK※2	内部	280MHz
ADC1_CLK_P_OUT	出力	40MHz
ADC1_CLK_N_OUT		
ADC1_DCO_P_IN	入力	280MHz
ADC1_DCO_N_IN		
ADC1_CHIP_CORE/IOCLOCK※2	内部	280MHz
ADC1_CHIP_CORE/RCLOCK※2	内部	280MHz
ADC2_CLK_P_OUT	出力	40MHz
ADC2_CLK_N_OUT		
ADC2_DCO_P_IN	入力	280MHz
ADC2_DCO_N_IN		
ADC2_CHIP_CORE/IOCLOCK※2	内部	280MHz
ADC2_CHIP_CORE/RCLOCK※2	内部	280MHz
ADC3_CLK_P_OUT	出力	40MHz
ADC3_CLK_N_OUT		
ADC3_DCO_P_IN	入力	280MHz
ADC3_DCO_N_IN		
ADC3_CHIP_CORE/IOCLOCK※2	内部	280MHz
ADC3_CHIP_CORE/RCLOCK※2	内部	280MHz

※1　入力は FPGA の入力ピン、出力は出力ピン、内部は FPGA 内部でのみ使用されるネット名を示します。

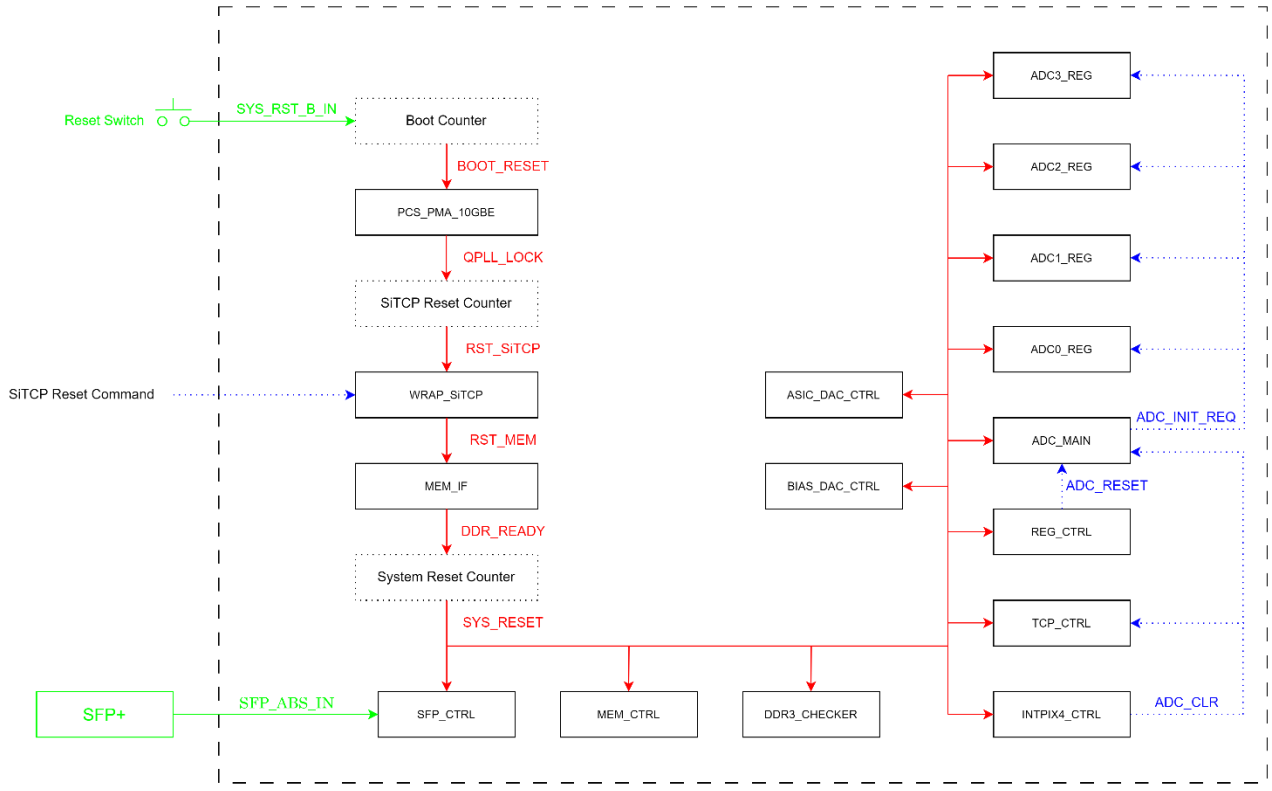
※2　IOCLOCK,RCLOCK は、ADC_CHIP_CORE 毎に内部で作成・使用されます。

8.4. リセット

図 8-4 にリセット系統図を示します。起動またはリセット・スイッチの押下で全回路がリセットします。リセットからの回復は図の矢印の順となります。図中の破線で囲んだ Boot Counter や SiTCP Reset Counter さらに System Reset Counter は、トップモジュール（SEABAS3）に記述されたカウンタです。

ADC_MAIN はリセットが解除されると ADC0_REG～ADC3_REG に初期化を要求する ADC_INIT_REQ を発行して初期化を実施し、初期化完了 128ms 後に配下の ADC0_CHIP_CORE～ADC3_CHIP_CORE のリセットを解除します。

ASIC_DAC や BIAS_DAC の初期化は REG_CTRL のリセット解除後に通常のアクセスルートを用いて初期化を行うので専用の制御線はありません。



※ 破線四角内は FPGA プログラムであることを示します。

※ 破線四角内の点線四角はトップモジュール(SEABAS3)に記載している回路です。

※ 破線四角内の実線四角内はインスタンス名です。

図 8-4 リセット系統図

表 8-3 リセット関連信号一覧

信号名	説明
SYS_RST_B_IN	基板上のリセット・スイッチの押下で 0 となる信号です。0 の時にすべての回路をリセットします。
BOOT_RESET	FPGA 起動時やリセット・スイッチ押下でリセットとなります。 最小パルス幅が保証されます。1 の時にすべての回路をリセットします。
QPLL_LOCK	PCS_PMA_10GBE の QPLL がロックしたことを示す信号です。QPLL がロックすると 1 となります。
RST_SiTCP	SiTCPXG をリセットするためのパルス幅が保証されたリセット信号です。1 の時 SiTCPXG をリセットします。QPLL_LOCK＝1 となった後に 0 となります。
RST_MEM	MEM_IF を初期化する信号です。RST_MEM=1 で MEM_IF をリセットします。RST_MEM 信号は SiTCPXG より出力されます。SiTCPXG はリセット・コマンドでもリセットされ RST_MEM も1となります。
DDR_READY	MEM_IF の初期化が完了すると 1 になります。
SYS_RESET	システム全体のリセット信号です。1 になるとリセットします。DDR_READY が 1 となった後に 0 になります。
SFP_ABS_IN	SFP+モジュールが挿入されると 0 になります。SFP_CTRL はこの信号が 0 かつ SYS_RESET が 0 でリセット解除となります。
ADC_RESET	REG_CTRL から ADC の初期化開始を指示するパルスです。
ADC_CLR	リセットではありませんが、TCP データパス上のデータをクリアするための信号です。1 でクリアします。
ADC_INIT_REQ	ADC 初期化のためのレジスタアクセスを要求します。ADC_INIT_ACK が 1 になるまで 1 を継続します。
ADC_INIT_ACK※	ADC_INIT_REQ の応答信号です。初期化が完了すると 1 のパルスを出力します。

※ ADC_INIT_ACK はリセット系統図には記載していません。