

SiTCP-XG NetKey_SYZYG

取扱説明書

E2602001-901



(株)Bee Beans Technologies

改版履歷

[illegible]

【目次】

1. 概要	1
2. 部品詳細	2
2.1. DIP スイッチ	2
2.2. LED	3
2.3. プッシュスイッチ	4
2.4. EEPROM	4
2.5. ユニバーサル領域	5
2.5.1. J2 の配置	6
2.5.2. 取り付け穴	6
3. SiTCP-XG の接続について	7
3.1. 必須事項	7
3.1.1. VIO の供給電圧設定	7
3.1.2. EEPROM の接続	7
3.2. 推奨事項	7
3.2.1. 「FORCE_DEFAULTn」への接続	7
4. 回路図	8
5. 寸法図	9
6. 接続例(XEM8320 の場合)	10
6.1. 電圧設定	10
6.2. 基板接続	12
6.3. サンプルコード	13
6.3.1. 動作確認	13
7. 参考資料	14

1. 概要

SiTCP-XG NetKey_SYZGY(以下、本製品)は、搭載する EEPROM に SiTCP-XG^[1]のライセンスを保存した基板です。本製品を接続することで、EEPROM を搭載していない FPGA 基板でも SiTCP-XG ライセンスを利用できます。

プッシュスイッチ・DIP スイッチ・LED が搭載されており、拡張ボードとしても使用できます。基板にはコネクタの端子と接続されたスルーホールを含むユニバーサル領域があります。

なお、SYZGY^[2]は Opal Kelly 社が保有する FPGA 接続用オープン標準規格です。本製品の I/F は SYZGY に基づいていますが、SmartVIO は非搭載です。

5.0V、3.3V 電源ピンは本製品では未使用ですが、VIO 電源を含めてユニバーサル領域で使用できます。

表 1-1 製品情報

製品名	SiTCP-XG NetKey_SYZGY
対応接続端子	SYZGY Standard
5.0V 電源最大電流	0~2A
3.3V 電源最大電流	0~2A
VIO 定格電圧	1.8V~5.5V(3.3V 推奨)
VIO 電源最大電流	0.1A~2A
I/O 数	30
差動 I/O 数	0
幅	Single
実装済み部品	8bitDIP スイッチ × 1 LED × 4 プッシュスイッチ × 4 EEPROM × 1

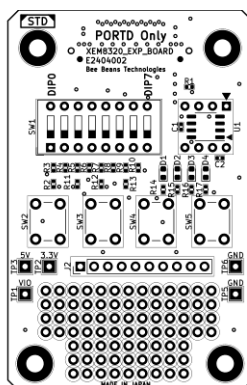


図 1-1 基板全体図

2. 部品詳細

2.1. DIP スイッチ

8bit の DIP スイッチ 1 つを搭載しています。スイッチは ON にすることで High レベルになります。

表 2-1 DIP スイッチ対応表

部品	シルク	SYZYGYPin番号
DIP スイッチ 1	SW1(DIP0)	6
DIP スイッチ 2	SW1(DIP1)	8
DIP スイッチ 3	SW1(DIP2)	10
DIP スイッチ 4	SW1(DIP3)	12
DIP スイッチ 5	SW1(DIP4)	14
DIP スイッチ 6	SW1(DIP5)	16
DIP スイッチ 7	SW1(DIP6)	18
DIP スイッチ 8	SW1(DIP7)	20

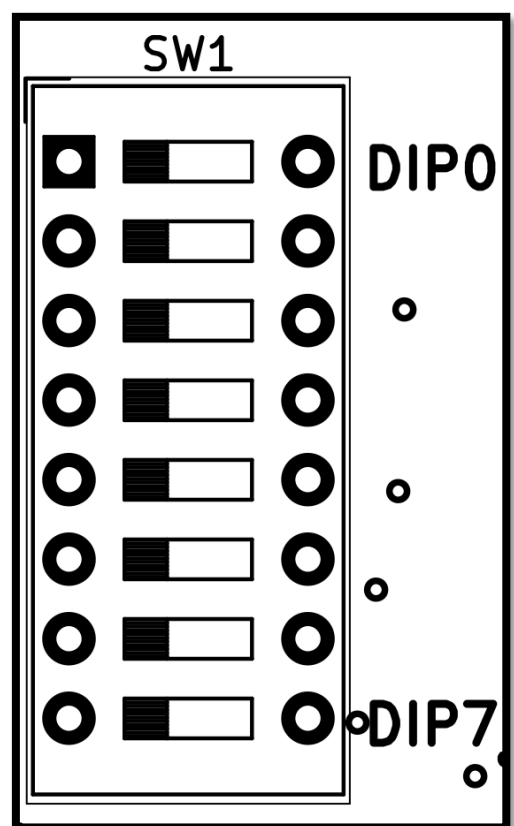


図 2-1 DIP スイッチ

2.2. LED

緑色 LED を 4 つ搭載しています。IO 電源 3.3V で設計されているため、3.3V 未満では十分な輝度が得られない場合があります。

表 2-2 LED 対応表

部品	シルク	SYZYGYPin番号
LED1	D1	22
LED2	D2	24
LED3	D3	26
LED4	D4	28

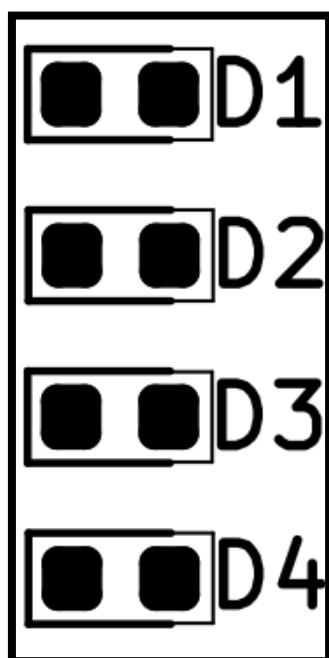


図 2-2 LED

2.3. プッシュスイッチ

押している間だけ High となるモーメンタリスイッチを4つ搭載しています。

表 2-3 プッシュスイッチ対応表

部品	シルク	SYZYGYPin番号
プッシュスイッチ 1	SW2	5
プッシュスイッチ 2	SW3	7
プッシュスイッチ 3	SW4	13
プッシュスイッチ 4	SW5	15

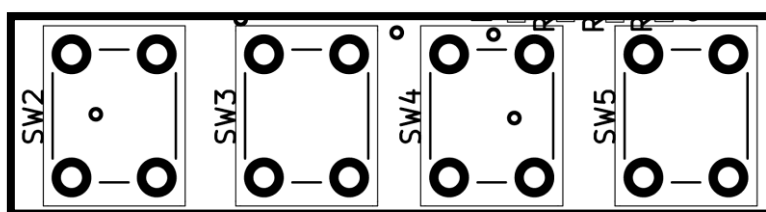


図 2-3 プッシュスイッチ

2.4. EEPROM

ライセンスデータを保存している EEPROM(AT93C46DN-SH-T)を 1 つ搭載しています。SiTCP ライブラリと接続して使用して下さい。

ライトプロテクトはされていないので、データの破損には注意して下さい。

表 2-4 EEPROM 対応表

ピンの名前	SiTCP-XG のポート名	SYZYGYPin番号
EEPROM_CS	EEPROM_CS	36
EEPROM_SK	EEPROM_SK	34
EEPROM_DI	EEPROM_DI	32
EEPROM_DO	EEPROM_DO	30

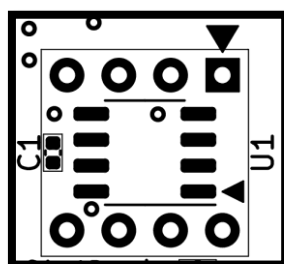


図 2-4 EEPROM

2.5. ユニバーサル領域

各種電源と GND、SYZGY コネクタに接続されたスルーホール(J2)、およびユニバーサル基板状のスルーホールを備えた領域です。J2 のリファレンスは「2.5.1J2 の配置」を参照してください。

全てのスルーホールは、穴径は 1mm、ピッチは 2.54mm です。ユニバーサル基板状のスルーホールはどこにも接続されていません。

表 2-5 ユニバーサル領域対応表

接続先	リファレンス	SYZGY ピン番号
5V	TP3	2
3.3V	TP2	40
VIO	TP1	39
GND	TP5, TP6	GND
GPIO_PIN0	J2-0	9
GPIO_PIN1	J2-1	11
GPIO_PIN2	J2-2	17
GPIO_PIN3	J2-3	19
GPIO_PIN4	J2-4	21
GPIO_PIN5	J2-5	23
GPIO_PIN6	J2-6	25
GPIO_PIN7	J2-7	27
GPIO_PIN8	J2-8	29
GPIO_PIN9	J2-9	31

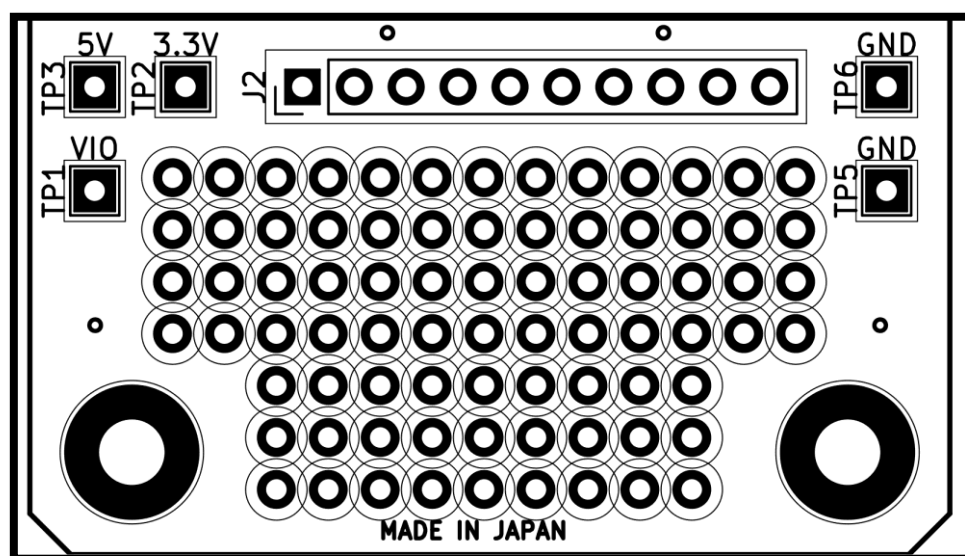


図 2-5 ユニバーサル領域

2.5.1. J2 の配置

J2 は「図 2-6 J2 のリファレンス番号」の通り、角ランドを先頭にして J2-0 から連番になっています。

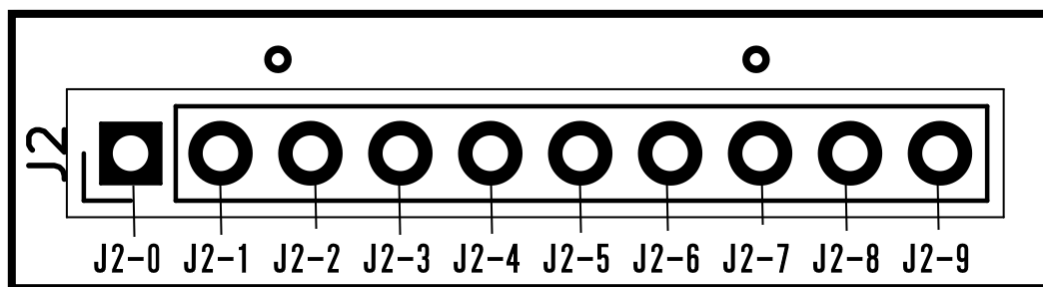


図 2-6 J2 のリファレンス番号

2.5.2. 取り付け穴

穴径が 3.2mm の 4 つの取付穴が基板の各角に開いています。この取り付け穴は全てどこにも接続されていません。

3. SiTCP-XG の接続について

3.1. 必須事項

3.1.1. VIO の供給電圧設定

SmartVIO が非搭載ですのでピン番号 39 には 1.8V～5.5V の電源電圧を供給してください。推奨電圧は 3.3V です。

3.1.2. EEPROM の接続

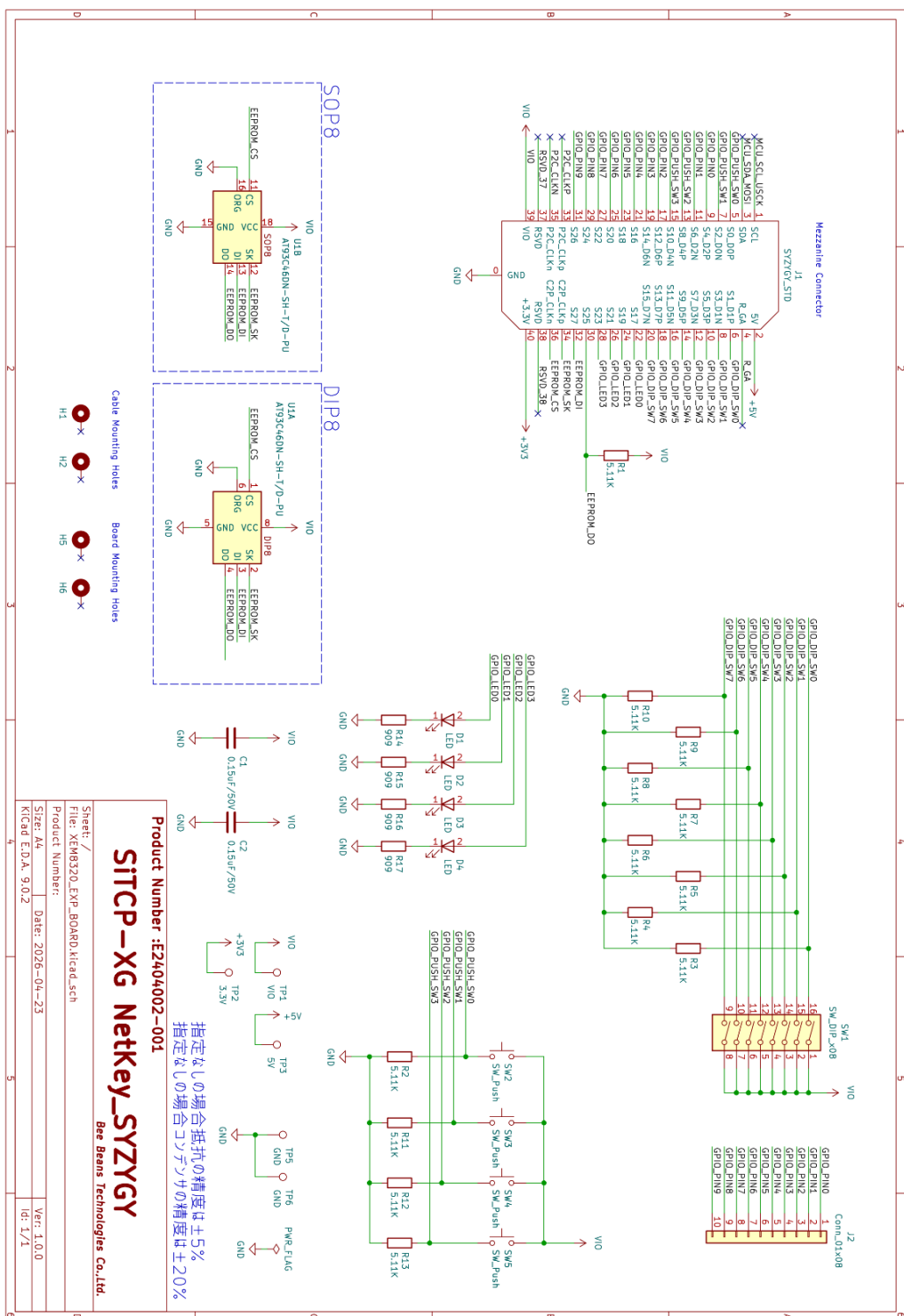
EEPROM からライセンスを読み込むために、EEPROM の 4 つのピンをそれぞれ SiTCP-XG ライブラリ[\[3\]](#)のポートに接続します。接続先のポート名は「2.4EEPROM」を参照してください。

3.2. 推奨事項

3.2.1. 「FORCE_DEFAULTn」への接続

IP アドレスがわからなくなった場合に本製品を ForceDefault 状態にするために使用します。このポートは SiTCP-XG ライブラリのネットリストにあり、本製品の DIP スイッチに割り当てることで使用できます。DIP スイッチに割り当てた際は DIP スイッチ OFF で ForceDefault 状態になり、DIP スイッチ ON で ForceDefault 状態ではなくなります。

ForceDefault 状態にすることで IP アドレスが「192.168.10.10」に固定されます。SiTCP Utility[\[4\]](#)を使用して IP アドレスを再設定できます。詳細は SiTCP-XG の説明書[\[4\]](#)を参照してください。



5. 寸法図

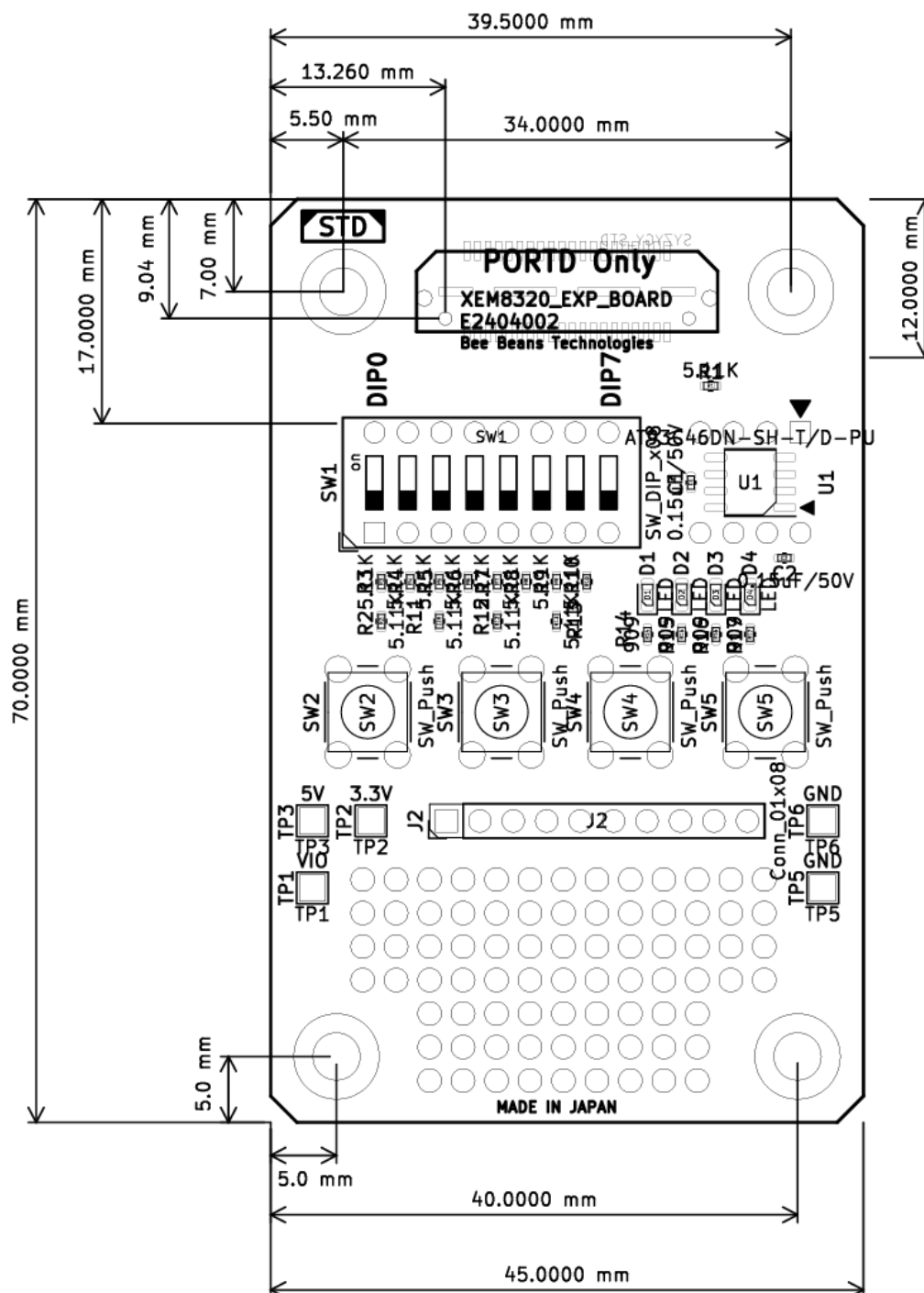


图 5-1 寸法图

6. 接続例(XEM8320 の場合)

以下は OpalKelly 社製の XEM8320-AU25P を使用した接続例です。

6.1. 電圧設定

この項目では、FrontPanelSDK [\[5\]](#)を使用して XEM8320 の SYZYGY コネクタへの電圧を 3.3V に設定します。

FrontPanelSDK を起動した PC と、XEM8320 の Front Panel 端子を接続し、XEM8320 の電源を入れます。

次に青丸の「Configure device settings」をクリックします。

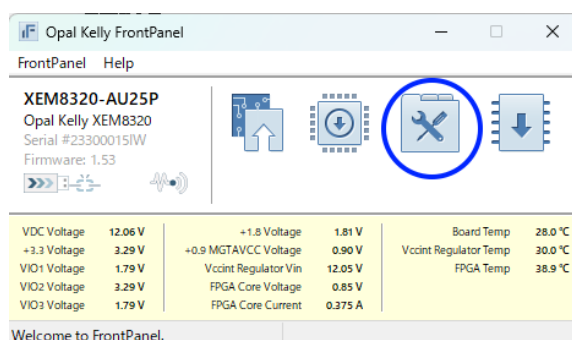


図 6-1 FrontPanel ホーム画面

開いた Device setting のタブで+ボタンを押しレジスタの設定を追加します。

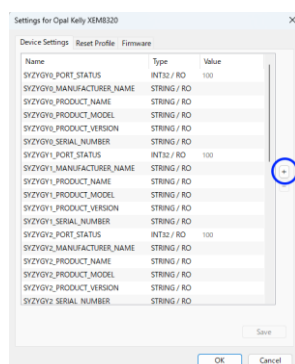


図 6-2 レジスタの設定画面

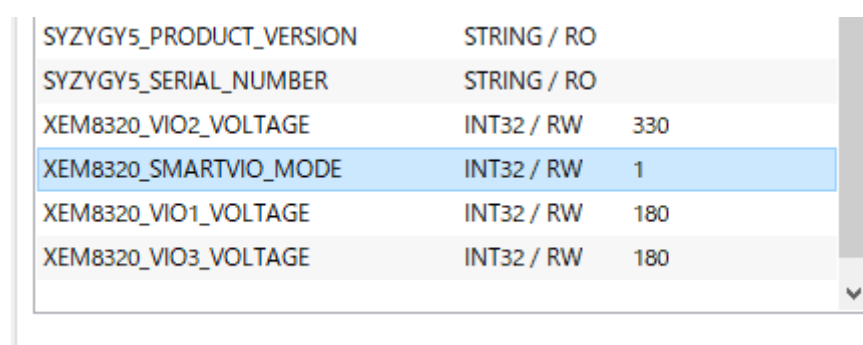
Name の欄に以下のレジスタの名前を追加します。

Type の欄は自動で入力されるので Value の値を以下のように設定してください。

表 6-1 レジスタ設定値

レジスタ名(Name)	設定値(Value)	内容
XEM8320_SMARTVIO_MODE	1	ネゴシエーションなし時に VIO に設定電圧を出力する モードに設定
XEM8320_VIO1_VOLTAGE	VIO 電圧の 100 倍の値 180 を入力	VIO1 の出力電圧
XEM8320_VIO2_VOLTAGE	VIO 電圧の 100 倍の値 330 を入力	VIO2 の出力電圧
XEM8320_VIO3_VOLTAGE	VIO 電圧の 100 倍の値 180 を入力	VIO3 の出力電圧

※XEM8320_SMARTVIO_MODE を 1 にする場合、VIO1-3 の値を共に設定します。設定していない場合は 0V が出力されます。



SYZYGY5_PRODUCT_VERSION	STRING / RO	
SYZYGY5_SERIAL_NUMBER	STRING / RO	
XEM8320_VIO2_VOLTAGE	INT32 / RW	330
XEM8320_SMARTVIO_MODE	INT32 / RW	1
XEM8320_VIO1_VOLTAGE	INT32 / RW	180
XEM8320_VIO3_VOLTAGE	INT32 / RW	180

図 6-3 設定するレジスタ

設定が完了したら「Save」を押し、Ok でウィンドウを閉じます。

ボードを再起動してください。

6.2. 基板接続

本製品を SYZGY コネクタ(PORT D)に接続します。

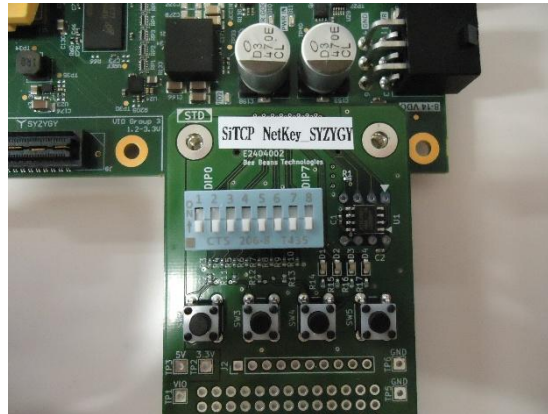


図 6-4 接続した本製品

取り付け穴にスペーサ(長さ 5mm)を取り付けると本製品を固定しやすくなります。



図 6-5 スペーサを入れた XEM8320

6.3. サンプルコード

当社の GitHub からダウンロードできるサンプルコード[⑥](#)を利用することで動作を確認できます。

このサンプルコードは本製品の DIP スイッチの 1 番から 4 番を ON にして使用します。DIP スイッチの 4 番は OFF にすることで ForceDefault 状態にできます。

6.3.1. 動作確認

本製品の動作を LED 点灯状態で確認できます。

DIP スイッチの 1 番から 4 番を ON にしている状態で XEM8320 の LED(D2)が点灯している場合、ライセンスが正常に書き込まれています。

本製品の LED(D1~D4)は DIP スイッチの 8 番の状態によって表示するものが変わります。ON では DIP スイッチの ON になっている 1 番から 7 番の中で番号が最も大きいスイッチを表し(表 6-2 DIP スイッチの対応表)、OFF ではプッシュスイッチ(SW2~SW5)の押下状態を表します。

表 6-2 DIP スイッチの対応表

ON の DIP スイッチ	D1	D2	D3	D4
1	点灯	消灯	消灯	消灯
2	消灯	点灯	消灯	消灯
3	点灯	点灯	消灯	消灯
4	消灯	消灯	点灯	消灯
5	点灯	消灯	点灯	消灯
6	消灯	点灯	点灯	消灯
7	点灯	点灯	点灯	消灯

7. 参考資料

[1] SiTCP-XG ライセンス 製品ページ

URL: <https://www.bbtech.co.jp/products/sitcp-xg-license/>

[2] SYZYGy ホームページ

URL: <https://syzygyfpga.io/>

[3] Bee Beans Technologies GitHub

SiTCP-XG のネットリストをダウンロードできます。

URL: <https://github.com/BeeBeansTechnologies>

[4] Bee Beans Technologies - SiTCP / SiTCP-XG 関連 ダウンロード

SiTCP-XG 説明書及び SiTCP Utility があります。

URL: <https://www.bbtech.co.jp/download-files/sitcp/index.html>

[5] FrontPanelSDK

URL: <https://www.opalkelly.com/products/frontpanel/>

[6] XEM8320-AU25P サンプルコード

FPGA: Artix UltraScale+

URL: https://github.com/BeeBeansTechnologies/SiTCPXG_Sample_Code_for_XEM8320

サンプルコード解説書

URL: <https://www.bbtech.co.jp/download-files/sitcp/index.html>