
SiTCPXG 説明書

第 1.3 版

2021 年 4 月 1 日



(株)Bee Beans Technologies

改版履歴

版数	日付	内容
1.0	2020/10/19	初版
1.1	2020/10/30	0xFFFF_FF08~0xFFFF_FF0F の定義変更
1.2	2020/11/17	8 推奨 FPGA の追加
1.3	2021/04/01	9 使用リソースの追加

【目次】

1. 概要.....	1
2. SiTCPXG の接続.....	1
3. 信号の説明.....	2
3.1. XGMII インタフェース.....	2
3.2. EEPROM インタフェース.....	2
3.3. RBCP インタフェース.....	3
3.4. TCP インタフェース.....	4
3.4.1. TCP セッションの確立と切断.....	4
3.4.2. TCP 送信データ.....	6
3.4.3. TCP 受信データ.....	7
3.5. その他の信号.....	9
3.6. ライブラリ固有信号.....	10
4. レジスタマップ.....	11
4.1. EEPROM 空間.....	11
4.2. SiTCPXG レジスタ空間.....	12
4.2.1. User Version register.....	12
4.2.2. User Identifier register.....	12
4.2.3. SiTCPXG Identifier register.....	13
4.2.4. SiTCPXG Version register.....	13
4.2.5. Control register.....	13
4.2.6. MAC Address register.....	13
4.2.7. IP Address register.....	13
4.2.8. TCP Port Number register.....	14
4.2.9. TCP maximum segment size register.....	14
4.2.10. UDP Port Number register.....	14
4.2.11. TCP Keepalive Time(buffer not empty) register.....	14
4.2.12. TCP Keepalive Time(buffer empty) register.....	14
4.2.13. TCP Timeout(Connecting) register.....	14
4.2.14. TCP Timeout(Disconnect) register.....	14
4.2.15. TCP Maximum Segment Lifetime register.....	14
4.2.16. TCP Retransmission time register.....	15
4.2.17. TCP Server MAC Address register.....	15
4.2.18. TCP Server IP Address register.....	15
4.2.19. TCP Server Port Number register.....	15
4.2.20. Transmission rate register.....	15

5. SiTCPXG のインプリメント	16
5.1. 10G Ethernet PCS/PMA の IP コア生成	16
5.2. 10G Ethernet PCS/PMA(10GBASE-R/KR)の IP コアの接続	18
6. EEPROM の変更方法	19
7. 障害対応	20
7.1. 送信転送速度が著しく低い	20
7.1.1. SiTCPXG の設定の誤り	20
7.1.2. データ転送経路の障害	20
7.1.3. データ転送経路の遅延	20
7.1.4. PC の受信性能がネックの場合	20
7.2. SFP に接続される極性の反転	21
8. 推奨 FPGA	21
9. 使用リソース	21

1. 概要

本文書は、SiTCP を 10GbE 用に変更した SiTCPXG について説明するものです。本文書では SiTCP については理解していることを前提に説明します。

2. SiTCPXG の接続

SiTCPXG は XGMII で 10GbE の PCS/PMA に接続して使用します。SiTCPXG のクロックは、送受信共通の XGMII クロックである 156.25MHz の単一クロックです。TCP、RBCP いずれもこのクロックに同期して動作します。

なお、接続する PCS/PMA は、ザイリンクス社から提供される 10G Ethernet PCS/PMA を想定しています(10GBASE-R 用)。

SiTCPXG の設定情報およびライセンス情報格納用メモリとして AT93C46D を接続してください。独立したネットワーク上で、性能評価のために一つの SiTCPXG ライブラリを搭載した装置を使用する場合には、このメモリは必要ありません (ForceDefault 状態での使用となります)。

SiTCPXG ライブラリは、表 2-1 に示すファイルで構成されます。

表 2-1 SiTCPXG ライブラリ・ファイル

ファイル名	説明
SiTCPXG_xxxx_xxxx_Vx.edf	SiTCPXG 本体です。FPGA のファミリ名、送信バッファサイズ、バージョンでファイル名が構成されます。
SiTCPXG_xxxx_xxxx_Vx.v	SiTCPXG 本体の入出力を定義したファイルです。edif ファイルと同名の Verilog ファイルです。
TIMER_SiTCPXG.v	SiTCPXG のタイミングを生成するモジュールです。クロック周波数が 156.25MHz であることを前提にしています。
WRAP_SiTCPXG_xxxx_xxx.v	SiTCPXG を使用しやすくするための wrapper です。ファイル名に FPGA のファミリ名、送信バッファサイズが入ります。

※x で示される文字数は目安であり変更される場合があります。

3. 信号の説明

本章では、ライブラリ本体、及び wrapper のポートについて説明します。

3.1. XGMII インタフェース

10G Ethernet PCS/PMA に接続する信号です。XGMII_CLOCK は、XGMII の送受信クロックですが、SiTCPXG 全体もこのクロックに同期しています。

表 3-1 XGMII インタフェース信号

信号名	入出力	説明
XGMII_CLOCK	入力	XGMII の送受信共通クロックであり、SiTCPXG 全体のクロック 全入出力信号はこのクロックに同期しています。
XGMII_RXC[7:0]	入力	受信コントロール信号
XGMII_RXD[63:0]	入力	受信データ
XGMII_TXC[7:0]	出力	送信コントロール信号
XGMII_TXD[63:0]	出力	送信データ

3.2. EEPROM インタフェース

SiTCPXG の設定情報やライセンス情報を格納するための不揮発性メモリである AT93C46D に接続するためのポートです。接続する AT93C46D の ORG ピンは GND に接続し X8 モードとして下さい。

なお、評価用として ForceDefault 状態でのみ使用する場合は EEPROM_DO に 1 を入力し、他のポートはオープンとしてください。

表 3-2 EEPROM インタフェース信号

信号名	入出力	説明
EEPROM_CS	出力	AT93C46D の CS 端子に接続
EEPROM_SK	出力	AT93C46D の SK 端子に接続
EEPROM_DI	出力	AT93C46D の DI 端子に接続
EEPROM_DO	入力	AT93C46D の DO 端子に接続 外部または FPGA にてプルアップしてください。

3.3. RBCP インタフェース

RBCP インタフェースは、UDP のコマンドでバスマスタとして動作するインタフェースです。RBCP インタフェースも、XGMII_CLOCK に同期して動作します。SiTCP と互換となっています。一つのコマンドで最大 255 個のバスサイクルが発生します。一つのコマンドが開始すると RBCP_ACT が 1 になります。一つのコマンドが終了するまで RBCP_ACT は 1 を継続します。コマンドが終了するかタイムアウトすると RBCP_ACT=0 になります。タイムアウト時間はバスサイクル数に関わらず、1 コマンドあたり 256ms です。

バスサイクルの始まりは、RBCP_WE または RBCP_RE が 1 クロック 1 になったところから、ユーザ回路が RBCP_ACK を 1 クロック 1 にするところまでです。

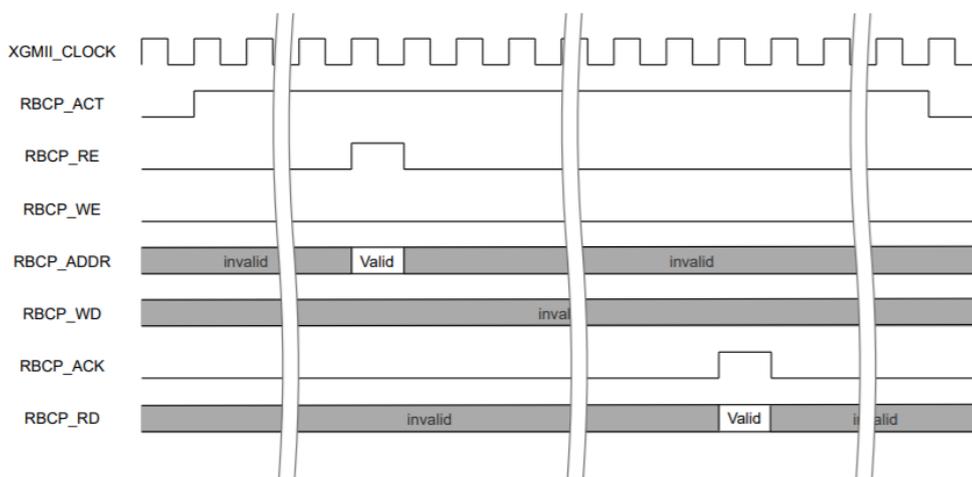


図 3-1 RBCP リードアクセス

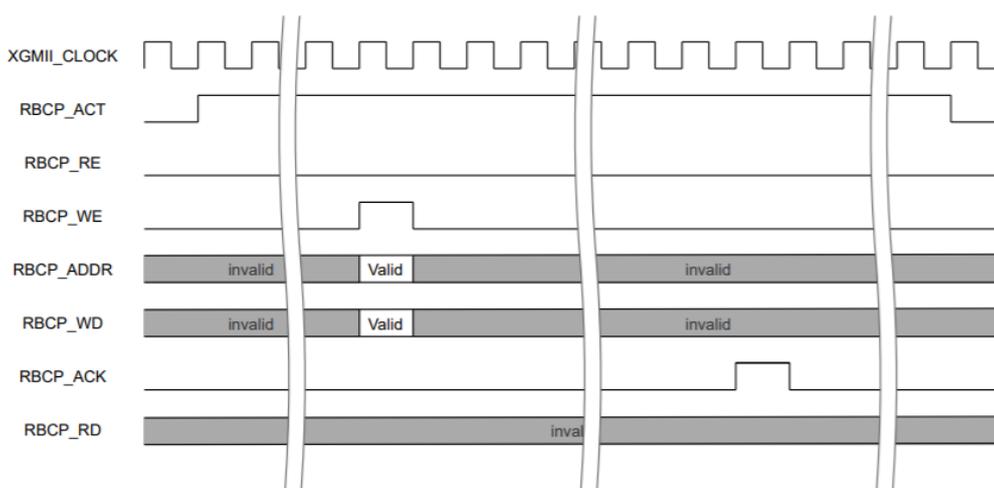


図 3-2 RBCP ライトアクセス

表 3-3 RBCP インタフェース信号

信号名	入出力	説明
RBCP_ACT	出力	バスサイクルが実行中
RBCP_ADDR[31:0]	出力	アドレス
RBCP_WE	出力	書込みアクセス開始
RBCP_WD[7:0]	出力	書込みデータ
RBCP_RE	出力	読出しアクセス開始
RBCP_ACK	入力	アクセス終了応答
RBCP_RD[7:0]	入力	読出しデータ

3.4. TCP インタフェース

TCP インタフェースは SiTCP と同様にストリーミング・データです。データの入出力のインタフェースはビット幅の拡大に伴い変更しています。TCP インタフェースも XGMII_CLOCK に同期して動作します。

3.4.1. TCP セッションの確立と切断

セッションを SiTCPXG から確立しないモードをサーバーモード、SiTCPXG から接続するモードをクライアントモードと呼びます。いずれのモードでも、セッションが確立すると USER_SESSION_ESTABLISHED が 1 になり、セッションが切断されると 0 になります。また、相手からの切断要求があると USER_SESSION_CLOSE_REQ が 1 になります。

サーバーモードでセッションを切断する場合は USER_SESSION_CLOSE_ACK を 1 にします。USER_SESSION_CLOSE_ACK は、USER_SESSION_CLOSE_REQ と USER_SESSION_ESTABLISHED が 0 になるまで 1 を継続して下さい。SiTCPXG からセッションを切断しない場合は、USER_SESSION_CLOSE_REQ は直接または、必要なタイミングの待ち合わせ回路を経由して USER_SESSION_CLOSE_ACK に接続します。

クライアントモードでセッションを開始する時は、USER_SESSION_OPEN_REQ を 1 にします。また、切断する場合は、USER_SESSION_OPEN_REQ を 0 にします。

クライアントモードで USER_SESSION_CLOSE_REQ が 1 になった場合は、接続先からセッション終了が送られてきているので、USER_SESSION_OPEN_REQ を 0 にする事が求められます。

相手からのセッション終了を受信しても SiTCPXG は、送信バッファが空になるまでセッションを維持しようとします。この時、データを送信すると相手から強制的にセッションを切断されることがありますが、異常ではありません。

なお、現仕様では、クライアントモードで使用する場合、接続先の IP アドレスだけでなく MAC アドレスも設定する必要があります。

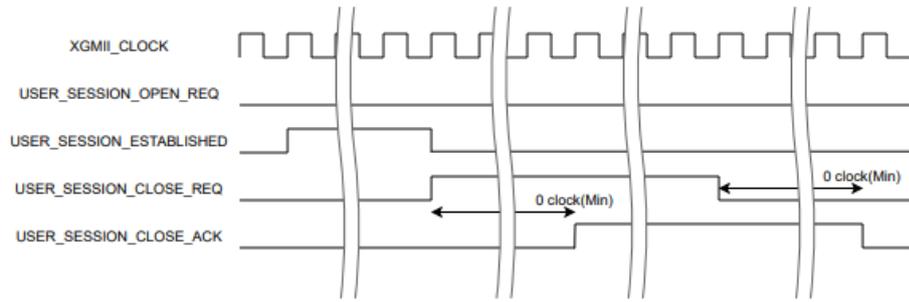


図 3-3 接続相手によるセッション切断時のシーケンス(サーバーモード)

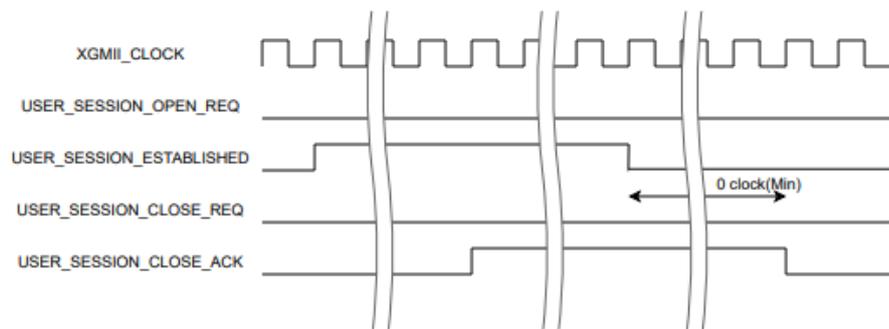


図 3-4 SiTCPXG によるセッション切断時のシーケンス(サーバーモード)

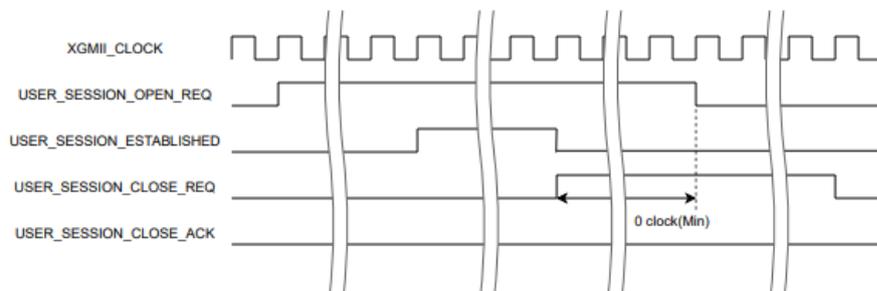


図 3-5 接続相手によるセッション切断時のシーケンス(クライアントモード)

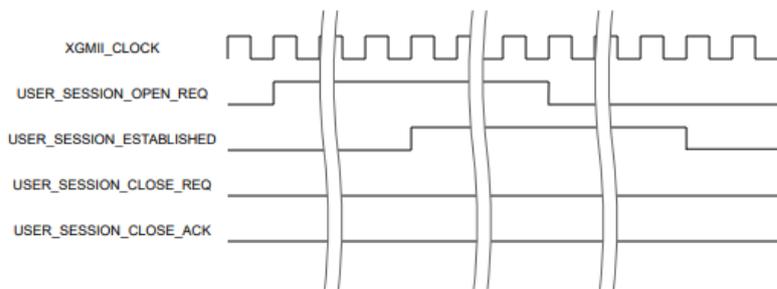


図 3-6 SiTCPXG によるセッション切断時のシーケンス(クライアントモード)

表 3-4 TCP インタフェース・セッション関連信号

信号名	入出力	説明
USER_SESSION_OPEN_REQ	入力	セッション開始要求信号 サーバーモードでは 0 に固定
USER_SESSION_ESTABLISHED	出力	セッション確立表示
USER_SESSION_CLOSE_REQ	出力	セッション終了要求表示 (FIN の受信)
USER_SESSION_CLOSE_ACK	入力	サーバーモードのセッション終了指示

3.4.2. TCP 送信データ

SiTCP と同様に送信バッファはライブラリ内にあります。SiTCPXG ではこのバッファに最大 64bit バスで書込みできます。最大性能を出すためには、書込みのバス幅を 64bit にする必要があります。バス幅は 8bit 単位に 1Byte から 8Byte まで 1Byte 単位かつ動的に変更できます。

USER_TX_B で 1~8 を設定することで Byte 数を指定します。0 を設定すると送信データの書込みは行いません。また、9~F は設定禁止です。データは USER_TX_D で設定しますが、USER_TX_D のバス幅は 64bit なので、64bit 未満の場合は MSB から詰めて使用します。USER_TX_D の送出順序は、データの MSB 側の Byte データが先に送出されます。送信バッファの Almost Full を示す USER_TX_AFULL が 1 になった場合は、16 クロック以内に書込みを中断してください。

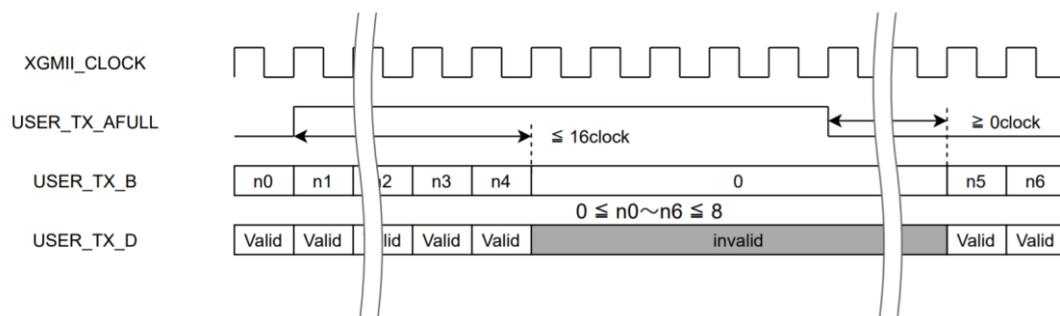


図 3-7 TCP 送信データのフロー制御

表 3-5 TCP データ送信関連信号

信号名	入出力	説明
USER_TX_AFULL	出力	送信バッファの Almost Full
USER_TX_B[3:0]	入力	送信データ数 (送信しない場合は 0 に設定)
USER_TX_D[63:0]	入力	送信データ

3.4.3. TCP 受信データ

SiTCP と同様に受信バッファはユーザ回路内に設ける必要があります。SiTCPXG では、64bit バスでの書込みが必要となります。また、書込みは Byte レーン独立に行う必要があるため、通常の FIFO は使用できません。そこで書込みアドレス (USER_RX_WADR) と読出しアドレス (USER_RX_RADR) を用いたインタフェースとなっています。読出しアドレスはユーザ回路内に設けてください。いずれのアドレスも Byte 単位で、書込んだ Byte 数が加算されます。読出しアドレスは、そのアドレスまで読出しが終わったものとしてバッファの空き容量を計算するために SiTCPXG が使用します。読出しアドレスの初期化は書込みアドレスの値をコピーしてください。

Xilinx のブロックメモリでは、書込みと読出しのバス幅を別々に設定できます。この機能を用いることで読み出しのバス幅を固定することができます。書込みと読出しのバス幅が異なる場合、データバスの LSB 側が若番のアドレスとなりますが、SiTCPXG では MSB 側が先に受信したデータとなります。そのため、データバスを固定して使用する場合に接続が容易になるよう wrapper で、読出しのバス幅に応じて Byte レーンを入れ替えています。バス幅を固定して使用する場合、wrapper の RxBufferSize パラメータにバス幅を設定してください。8bit バス固定の場合は "Byte"、16bit 固定の場合は "Word"、32bit 固定の場合は "LongWord" を設定してください。なお、読出しのバス幅未満での読出し回路を設けない限り、送信データはバス幅の整数倍とする必要があります。

USER_RX_CLR_REQ は、書込みバッファを 8Byte アラインに整列させます。この機能はバッファに書込む可能性がある期間は行えません。USER_RX_CLR_ENB が 1 の期間中はクリアを行うことができます。多くのアプリケーションでは USER_RX_CLR_ENB の 1 で USER_RX_CLR_REQ を 1 とし、USER_RX_RADR に USER_RX_WADR をコピーします (受信バッファのクリア)。

USER_RX_SIZE は、TCP における最大ウィンドウとなります。[バッファサイズ-16]以下の固定値を入力してください。

USER_RX_WADR は Byte 単位で次に書込みを始めるアドレスを示しています。従って、バッファへの書込みデータは、USER_RX_WADR の bit15~bit3 が書込む 64bit でのアドレスを指定し、USER_RX_WENB が書込む Byte レーンを指定、書込むデータを USER_RX_WDAT で指定します。SiTCPXG ライブラリからの出力では MSB 側が若番のアドレスとなります。書込みイネーブルとデータの Byte 位置関係は SiTCPXG ライブラリの場合も wrapper の場合も同じで、USER_RX_WENB[7]が USER_RX_WDAT[63:56]の書込みイネーブルであり、USER_RX_WENB[0]が USER_RX_WDAT[7:0]の書込みイネーブルとなります。

表 3-6 TCP データ受信関連信号

信号名	入出力	説明
USER_RX_SIZE[15:0]	入力	最大受信ウィンドウサイズ バッファサイズ-16 以下の固定値を設定 受信未使用時は 16'hFFF0 を設定
USER_RX_CLR_ENB	出力	USER_RX_WADR の初期化可能期間表示
USER_RX_CLR_REQ	入力	USER_RX_WADR の初期化要求 受信未使用時は USER_RX_CLR_ENB を接続
USER_RX_WADR[15:0]	出力	次回書き込み開始アドレス(Byte 単位)
USER_RX_WENB[7:0]	出力	書き込みイネーブル
USER_RX_WDAT[63:0]	出力	書き込みデータ
USER_RX_RADR[15:0]	入力	読出しアドレス 未使用時は USER_RX_WADR[15:0]を接続

表 3-7 データ受信バッファ設定パラメータ(wrapper ファイルのみ)

パラメータ名	設定値	説明
RxBufferSize	“LongLong”	デフォルト 64bit 固定バス幅または可変バス幅用設定 ライブラリのバス並びと同じ 64bit のデータの並びはネットワークオーダー
	“LongWord”	32bit バス固定用設定 32bit のデータの並びはネットワークオーダー
	“Word”	16bit バス固定用設定 16bit のデータの並びはネットワークオーダー
	“Byte”	8bit バス固定用設定

※ネットワークオーダー: 先に受信した Byte が上位 Byte となる並び

3.5. その他の信号

この章では、今までに説明していない SiTCPXG ライブラリと wrapper ファイルに共通の信号について説明します。

表 3-8 その他の信号

信号名	入出力	説明
RSTs	入力	1 で SiTCPXG の初期化を行います。 XGMII_CLOCK 同期信号としてください。
SiTCP_RESET_OUT	出力	SiTCPXG の接続先に対する初期化信号です。 SiTCPXG が初期化中は 1 となります。 XGMII_CLOCK 同期出力です。
FORCE_DEFAULTn	入力	0 で ForceDefault 状態になります。
REG_FPGA_VER[31:0]	入力	この値は RBCP レジスタの 0xFFFFF00 からの 4Byte に表示されます。 ユーザ回路の合成した日付等を設定して Version レジスタとして利用してください。
REG_FPGA_ID[31:0]	入力	この値は RBCP レジスタの 0xFFFFF04 からの 4Byte に表示されます。 ユーザ回路の回路種別等の識別に利用してくださ い。識別子がユニークとなるように、開発に使用し た MAC アドレスの下位 4Byte を用いることをお勧 めします。

ForceDefault 状態とは、ライセンスなしで動作可能な状態です。1 台の SiTCPXG と PC の閉じたネットワークでのみ使用可能です。初期設定や設定した IP アドレス等がわからなくなった場合にも使用できます。ForceDefault 状態では、固定の MAC アドレス、IP アドレス、ポート番号が設定されます。

表 3-9 ForceDefault 状態

項目	設定値
MAC アドレス	02:00:C0:A8:0A:0A
IP アドレス※	192.168.10.10
TCP ポート番号※	24
RBCP ポート番号※	4660

※MAC アドレスを除きこれらの値はレジスタの値です。ポートから任意の値を設定できます。

3.6. ライブラリ固有信号

この章では、SiTCPXG ライブラリの信号で wrapper ファイルでは使用していない信号について説明します。

表 3-10 ライブラリ固有信号

信号名	入出力	説明
TIM_1US	入力	1 μ s に 1 パルスのタイミング信号
TIM_1MS	入力	1ms に 1 パルスのタイミング信号
TIM_1S	入力	1 秒に 1 パルスのタイミング信号
MY_MAC_ADDR[47:0]	出力	MAC アドレス
MY_IP_ADDR[31:0]	入力	IP アドレス設定 ^(注1) wrapper では IP_ADDR_DEFAULT を接続
IP_ADDR_DEFAULT[31:0]	出力	IP アドレス用レジスタの値 ^(注2)
MY_TCP_PORT[15:0]	入力	TCP ポート設定 ^(注1) wrapper では TCP_PORT_DEFAULT を接続
TCP_PORT_DEFAULT[15:0]	出力	TCP ポート用レジスタの値 ^(注2)
MY_RBCP_PORT[15:0]	入力	RBCP ポート設定 ^(注1) wrapper では RBCP_PORT_DEFAULT を接続
RBCP_PORT_DEFAULT[15:0]	出力	RBCP ポート用レジスタの値 ^(注2)
TCP_SERVER_MAC_IN[47:0]	入力	接続先サーバーの MAC アドレス ^(注1) wrapper では TCP_SERVER_MAC_DEFAULT を接続
TCP_SERVER_MAC_DEFAULT[47:0]	出力	接続先サーバーの MAC アドレス用レジスタ ^(注2)
TCP_SERVER_ADDR_IN	入力	接続先サーバーの IP アドレス ^(注1) wrapper では TCP_SERVER_ADDR_DEFAULT を接続
TCP_SERVER_ADDR_DEFAULT	出力	接続先サーバーの IP アドレス用レジスタ ^(注2)
TCP_SERVER_PORT_IN	入力	接続先サーバーの TCP ポート番号 ^(注1) wrapper では TCP_SERVER_PORT_DEFAULT を接続
TCP_SERVER_PORT_DEFAULT	出力	接続先サーバーの TCP ポート番号用レジスタ ^(注2)

(注1) 対応する専用レジスタに接続することで確認、初期値の設定ができます。

(注2) 初期値は EEPROM または ForceDefault の値となります。

4. レジスタマップ

RBCP のメモリ空間の内、0xFFFF0000～0xFFFFFFFF まだが SiTCPXG 内部用にリザーブされています。現在は 0xFFFFFC00～0xFFFFFCFF の EEPROM 空間と 0xFFFFF00～0xFFFFFFFF の SiTCPXG レジスタ空間のみが定義されています。

このエリアは、SiTCPXG の基本動作を制御するため、よく理解してから変更して下さい。また、説明のない領域は書込みだけでなく、読出しも推奨しません。レジスタの未定義 bit についても将来拡張される可能性があるため、変更しないで下さい。

4.1. EEPROM 空間

EEPROM 空間の読出しは常時可能ですが、書込みをするためには EEPROM のライトプロテクトを解除する必要があります。0xFFFFFCFF への 0x00 書込みでライトプロテクトを解除できます。なお、現在ライトプロテクトの解除時に書込む値は任意ですが、将来拡張時の互換性確保のため 0x00 として下さい。

表 4-1 EEPROM のメモリマップ

アドレス	説明
0xFFFFFC10～0xFFFFFC4F	0xFFFFF10～0xFFFFF4F の初期値
0xFFFFFCFF	0x00 の書込みでライトプロテクトの解除

4.2. SiTCPXG レジスタ空間

SiTCPXG のパラメータ設定用レジスタです。通常これらのレジスタはデフォルト値またはEEPROM に保存されている値によって、標準的な値に設定されています。変更の際には十分理解した上で行って下さい。なお、クライアントモードで使用する場合は、接続するサーバーの情報を設定して下さい。

表 4-2 SiTCPXG のレジスタマップ

アドレス	説明
0xFFFFFFFF00~0xFFFFFFFF03	User Version register
0xFFFFFFFF04~0xFFFFFFFF07	User Identifier register
0xFFFFFFFF08~0xFFFFFFFF0B	SiTCPXG Identifier register
0xFFFFFFFF0C~0xFFFFFFFF0F	SiTCPXG Version register
0xFFFFFFFF10	Control register
0xFFFFFFFF12~0xFFFFFFFF17	MAC Address register
0xFFFFFFFF18~0xFFFFFFFF1B	IP Address register
0xFFFFFFFF1C~0xFFFFFFFF1D	TCP Port Number register
0xFFFFFFFF20~0xFFFFFFFF21	TCP maximum segment size register
0xFFFFFFFF22~0xFFFFFFFF23	UDP Port Number register
0xFFFFFFFF24~0xFFFFFFFF25	TCP Keepalive Time(buffer not empty) register
0xFFFFFFFF26~0xFFFFFFFF27	TCP Keepalive Time(buffer empty) register
0xFFFFFFFF28~0xFFFFFFFF29	TCP Timeout(Connecting) register
0xFFFFFFFF2A~0xFFFFFFFF2B	TCP Timeout(Disconnect) register
0xFFFFFFFF2C~0xFFFFFFFF2D	TCP Maximum Segment Lifetime register
0xFFFFFFFF2E~0xFFFFFFFF2F	TCP Retransmission time register
0xFFFFFFFF32~0xFFFFFFFF37	TCP Server MAC Address register
0xFFFFFFFF38~0xFFFFFFFF3B	TCP Server IP Address register
0xFFFFFFFF3C~0xFFFFFFFF3D	TCP Server Port Number register
0xFFFFFFFF40~0xFFFFFFFF41	Transmission rate register

4.2.1. User Version register

書き込みはできません。REG_FPGA_VER[31:0]ポートに入力した値が表示されます。

4.2.2. User Identifier register

書き込みはできません。REG_FPGA_ID[31:0]ポートに入力した値が表示されます。

4.2.3. SiTCPXG Identifier register

書込みはできません。SiTCPXG を示す識別子です。0x58544350 となっています。

4.2.4. SiTCPXG Version register

書込みはできません。4bit 単位の BCD データです。8 桁で SiTCPXG の種別やバージョンを表示します。はじめの 2 桁が FPGA のファミリ、次の 2 桁がオプション種別、その次の 2 桁が SiTCPXG のメジャーバージョン、最後の 2 桁は SiTCPXG のマイナーバージョンとなっています。

4.2.5. Control register

SiTCPXG の動作モードの設定やリセットを行います。

表 4-3 Control register のビットマップ

bit 位置	シンボル	説明
bit7	RESET	1 の書込みで SiTCPXG のリセット
bit6	NOT_USE	未使用 0 を設定
bit5	NOT_USE	未使用 0 を設定
bit4	WINDOW_SCALING	window scaling 1:有効 0:無効
bit3	NOT_USE	未使用 0 を設定
bit2	KEEPALIVE	keepalive timer 1:有効 0:無効
bit1	FAST_RETRANS	fast re-transmission 1:有効 0:無効
bit0	NAGLE	Nagle's algorithm 1:有効 0:無効

4.2.6. MAC Address register

書込みはできません。自局の MAC アドレスです。

4.2.7. IP Address register

自局の IP アドレスレジスタです。読出される値は MY_IP_ADDR ポートに入力された値となり、設定した値は IP_ADDR_DEFAULT ポートに出力されます。

4.2.8. TCP Port Number register

自局の TCP ポート番号レジスタです。読出される値は MY_TCP_PORT ポートに入力された値となり、設定した値は TCP_PORT_DEFAULT ポートに出力されます。

4.2.9. TCP maximum segment size register

TCP の maximum segment size(MSS)を設定します。1~1460 の値を設定して下さい。

4.2.10. UDP Port Number register

自局の RBCP 用 UDP ポート番号レジスタです。読出される値は MY_RBCP_PORT ポートに入力された値となり、設定した値は RBCP_PORT_DEFAULT ポートに出力されません。

4.2.11. TCP Keepalive Time(buffer not empty) register

送信バッファにデータが残存している時の Keepalive Timer のタイムアウト値を 1ms 単位で設定します。1~65,535 の範囲で設定して下さい。

4.2.12. TCP Keepalive Time(buffer empty) register

送信バッファにデータが存在しない時の Keepalive Timer のタイムアウト値を 1ms 単位で設定します。1~65,535 の範囲で設定して下さい。

4.2.13. TCP Timeout(Connecting) register

セッション確立時のタイムアウト時間を 1ms 単位で設定します。1~65,535 の範囲で設定して下さい。

4.2.14. TCP Timeout(Disconnect) register

セッション確立時に有効なパケットを受信しないまま、この時間を経過するとセッションを切断します。タイムアウト時間は 256ms 単位で設定します。値 N を設定した場合のタイムアウト時間は $(N+1) \times 256\text{ms}$ となります。0~65,535 の範囲で設定して下さい。

4.2.15. TCP Maximum Segment Lifetime register

TCP の Maximum Segment Lifetime(MSL)を 0.5ms 単位で設定します。セッション切断後、この時間の 2 倍の時間が経過するまで新たに接続できません。TCP 状態遷移図における Time Wait 状態に留まる時間を 1ms で設定しているとも言えます。0~65,535 の範囲で設定して下さい。

4.2.16. TCP Retransmission time register

再送時間を 1ms 単位で設定します。データ送信後 ACK 番号の更新がないままこの時間が経過するとデータを再送します。1~65535 の範囲で設定して下さい。

4.2.17. TCP Server MAC Address register

クライアントモードでのみ使用します。接続先サーバーの MAC アドレスを設定します。読出される値は TCP_SERVER_MAC_IN ポートに入力された値であり、設定した値は、TCP_SERVER_MAC_DEFAULT ポートに出力されます。

4.2.18. TCP Server IP Address register

クライアントモードでのみ使用します。接続先サーバーの IP アドレスを設定します。読出される値は TCP_SERVER_ADDR_IN ポートに入力された値であり、設定した値は、TCP_SERVER_ADDR_DEFAULT ポートに出力されます。

4.2.19. TCP Server Port Number register

クライアントモードでのみ使用します。接続先サーバーの TCP ポート番号を設定します。読出される値は TCP_SERVER_PORT_IN ポートに入力された値であり、設定した値は、TCP_SERVER_PORT_DEFAULT ポートに出力されます。

4.2.20. Transmission rate register

送信シェーパに設定するレートを 1Mbps 単位で設定します。シェーパは leaky bucket アルゴリズムで Line Rate となっています。

SiTCPXG では受信した window size の許す限り全力でパケットを送信します。このバースト転送を損失することなく PC が受信できないと、パケットの再送となり、データ送信性能が著しく低下します。PC の性能に合わせてこのレジスタで送信レートを制限することで最大のパフォーマンスを得られます。1~10,000 の範囲で設定して下さい。

5. SiTCPXG のインプリメント

SiTCPXG の XGMII は、ザイリンクス社から提供される 10G Ethernet PCS/PMA への接続を想定しています(10GBASE-R)。

本章では、Virtex-7 または Kintex-7 デバイスを使用する場合の 10G Ethernet PCS/PMA の作成方法の一例について説明します。VIVADO のバージョンによって差異がありますので、詳しくは 10G Ethernet PCS/PMA の Product Guide をご確認ください。DRP クロック、MDIO、Shared Logic については必要に応じて変更して下さい。

5.1. 10G Ethernet PCS/PMA の IP コア生成

VIVADO の [IP Catalog] をクリックします (図 5-1 の左)。[IP Catalog] のタブが表示されるので [Communication & Networking] を開き、[Ethernet] を開くと [10G Ethernet PCS/PMA(10GBASE-R/KR)] が表示されるので、これをクリックします (図 5-1 の右)。

[Configuration - BASE-R] のタブでは、[XGMII Datapath Width] を 64bit にし、[MDIO Management] にチェックを入れて [DRP Clocking-Frequency(MHz)] を 156.25MHz に設定します (図 5-2)。[Shared Logic] のタブでは、[include Shared Logic in Core] を選択します (図 5-3)。この状態で [OK] をクリックして IP を作ります。

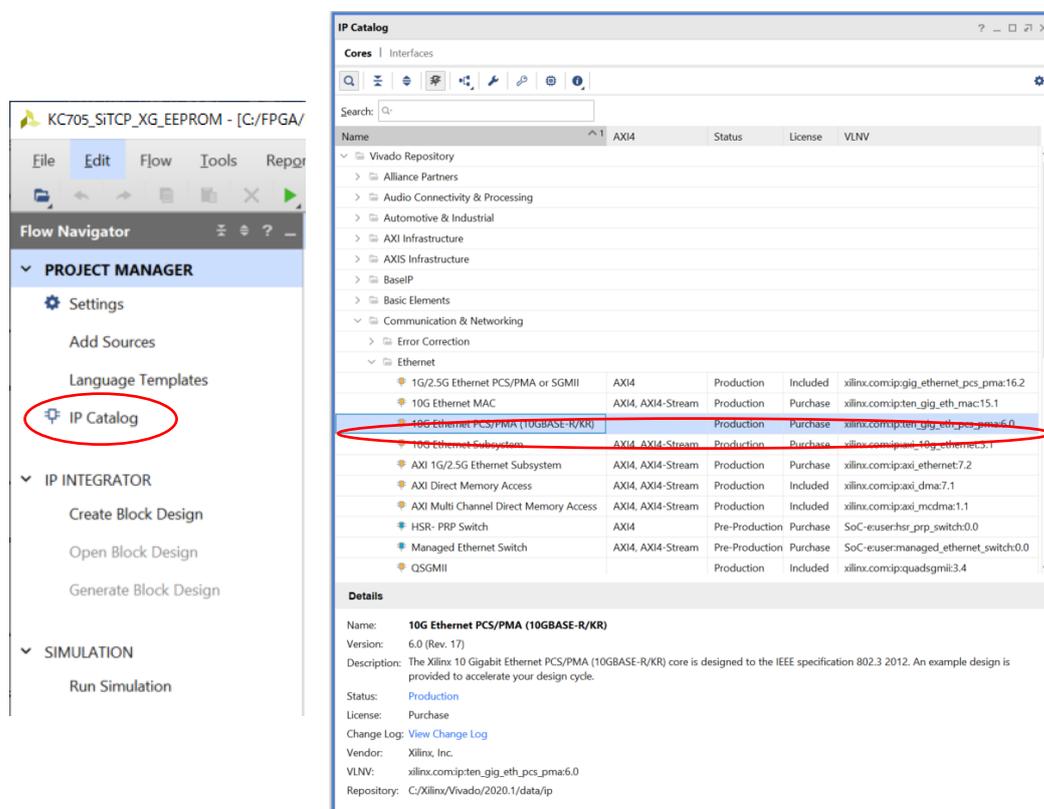


図 5-1 10G Ethernet PCS/PMA IP コア の 選 択

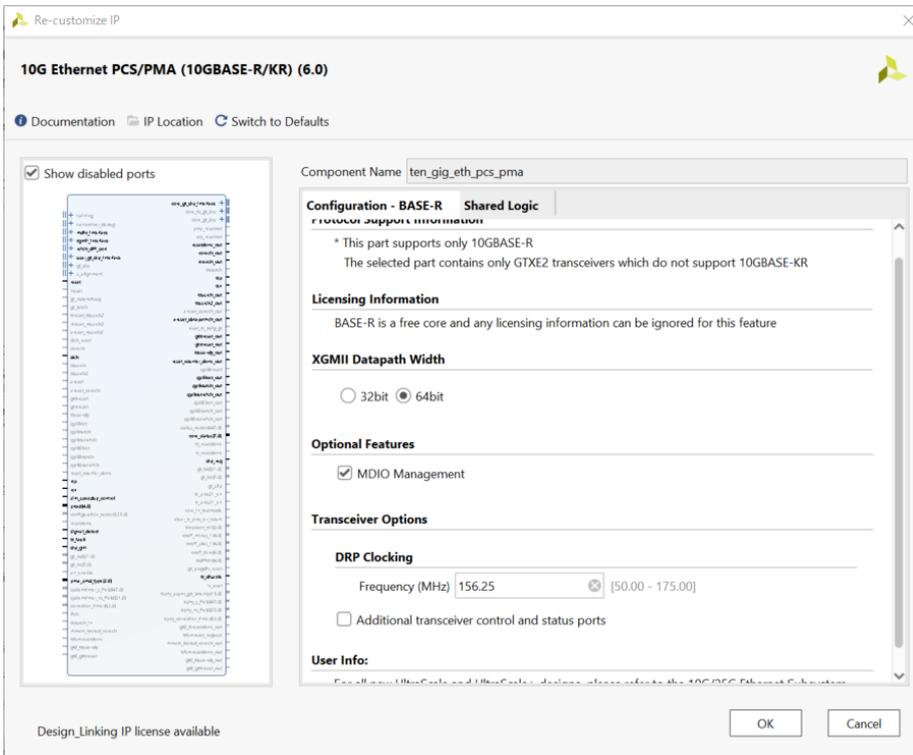


图 5-2 10G Ethernet PCS/PMA Configuration - BASE-R

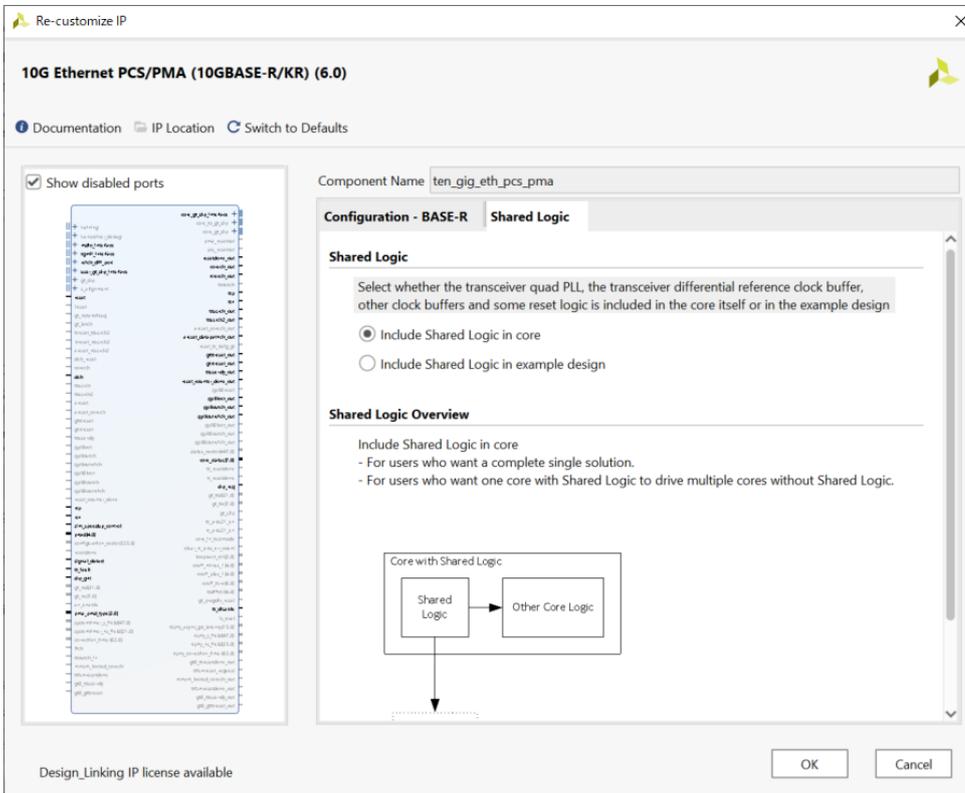


图 5-3 10G Ethernet PCS/PMA Shared Logic

5.2. 10G Ethernet PCS/PMA(10GBASE-R/KR)の IP コアの接続

生成した 10G Ethernet PCS/PMA コアのポートについて説明します。以下は「10G Ethernet PCS/PMA v6.0」を 7 Series で使用した場合の説明となります。VIVADO のバージョンや生成時の設定によってポートが異なることがありますので、参考程度にしてください。

表 5-1 10G Ethernet PCS/PMA v6.0 のポート

ポート名	説明
refclk_p refclk_n	156.25MHz の入力です。 txp,txn,rxp,rxn と同じバンクの REFCLK ピンに接続して下さい。
reset	リセットです。 通常は SiTCPXG の RSTs ポートと同じ信号を入力します。
coreclk_out	156.25MHz の XGMII を含むクロック出力です。 SiTCPXG の XGMII_CLOCK と接続して下さい。
txp txn	送信出力です。SFP+の TD+,TD-への出力です。 使用する GTX、GTH の TXP、TXN に接続します。
rxp rxn	受信入力です。SFP+の RD+,RD-からの入力です。 使用する GTX、GTH の RXP、RXN に接続します。
xgmii_txd[63:0] xgmii_txc[7:0]	XGMII の送信パスです。 SiTCPXG の XGMII_TXD, XGMII_TXC に接続します。
xgmii_rxd[63:0] xgmii_rxc[7:0]	XGMII の受信パスです。 SiTCPXG の XGMII_RXD, XGMII_RXC に接続します。
mdc mdio_in mdio_out mdio_tri	MDIO インタフェースです。 設定の変更を行わない場合は、mdc=1, mdio_in=1 として残りの mdio_out と mdio_tri は開放で使用できます。
signal_detect	SFP+の LOS の反転を入力または 1 固定とします。
tx_fault	SFP+の Tx Fault に接続または 0 固定とします。
tx_disable	SFP+の Tx Disable に接続、または開放とします。
dclk	Dynamic Reconfiguration Port(DRP) Clock (IP 生成時に設定した周波数のクロックを接続します)
drp_xxxx	Dynamic Reconfiguration Port(DRP)の入出力信号です。 req を gnt に、同名の信号同士を接続します(添字_i と_o を接続)。

表 5-1 10G Ethernet PCS/PMA v6.0 のポート (続き)

ポート名	説明
sim_speedup_control	シミュレーション用です。0を設定します。
pma_pmd_type[2:0]	SFPの種類を設定します。 111:10GBASE-SR 110:10GBASE-LR 101:10GBASE-ER
その他の出力	必要に応じて使用して下さい。使用しない場合は開放とします。

6. EEPROM の変更方法

SiTCPXG のレジスタ 0xFFFFF10~0xFFFFF4F までのレジスタの初期値は、EEPROM の 0xFFFFC10~0xFFFFC4F に保存できます。なお、ForceDefault 状態ではレジスタの初期値は固定で変更できません。

0xFFFFC00~0xFFFFCFF の範囲は、[EEPROM のレジスタマップ](#)で定義されている領域以外へのアクセスはしないで下さい。また、0xFFFFC12~0xFFFFC17のMACアドレスについては書換えしないで下さい。SiTCPXG が起動しなくなります。

EEPROM の初期状態はライトプロテクトとなっていますので、書込みに先立ってプロテクトの解除が必要です。0xFFFFCFF に 0x00 を書込むことでプロテクトを解除できます。

EEPROM の書込みは時間がかかるため、一度に大量の書込みを行うとタイムアウトによるエラーが発生します。EEPROM の劣化を考慮すると1コマンドでの書込みは 32Byte 以下にすることを推奨します。

なお、書込み終了後に誤ってデータが書換えられることを防止するため、一旦電源を切って下さい(電源断でライトプロテクト状態に戻ります)。

7. 障害対応

本章では、問題となりやすい事項について記載します。本文中に記載されている内容も含まれません。

7.1. 送信転送速度が著しく低い

送信速度が低い場合はいくつかの原因が考えられます。

7.1.1. SiTCPXG の設定の誤り

送信レートは [Transmission rate register](#) の値で制限されます。[Transmission rate register](#) の値が小さすぎると性能ができません。また、[TCP maximum segment size register](#) の値 (MSS) が小さい場合も同様に性能はできません。

[Transmission rate register](#) で設定する値 (Speed) は Line Rate なので実際に転送できる最大速度は $\text{Speed} * \text{MSS} / (\text{MSS} + 78)$ となります。

7.1.2. データ転送経路の障害

データ転送経路でパケットが破壊されると再送となり、データ転送速度は遅くなります。主な原因は、SFP の劣化、光ケーブルの劣化等の劣化や故障の他に SFP の種類違いや光ファイバの種類違いの可能性もあります。

7.1.3. データ転送経路の遅延

データ転送経路の遅延が大きいと Round Trip Time (RTT) が増大し性能が低下します。window size と送信バッファの小さい方のデータを送信する時間に対する PC の ACK 応答時間に RTT を加えた時間の比で送信速度が劣化します。

7.1.4. PC の受信性能がネックの場合

SiTCPXG では受信した window size の許す限り全力でパケットを送信します。このバースト転送を損失することなく PC が受信できないと、パケットの再送となりデータ送信性能が著しく低下します。PC の性能に合わせて送信レートを制限することで最大のパフォーマンスが得られます。最適な送信レートとなるように [Transmission rate register](#) を設定します。

7.2. SFP に接続される極性の反転

SFP+のTD+,TD-とFPGAのTXP,TXNが逆に接続されている場合や、SFP+のRD+,RD-とFPGAのRXP,RXNが逆に接続されている場合、「10G Ethernet PCS/PMA Ver6.0」では、ten_gig_eth_pcs_pma_block.vのgt0_txpolarityとgt0_rxpolarityで極性を変更できます。KC705 評価ボードのRev1.0では、送受信共に入れ替わっているため、いずれの変数も1に設定して下さい。

8. 推奨 FPGA

本章では、リリースされているSiTCPXGコアを利用する上で推奨するFPGAサイズを記載します。

表 8-1 推奨 FPGA

ライブラリ名	ファミリ	推奨 FPGA
SiTCPXG_XC7K_128K_V1	Kintex-7	XC7K70T 以上
SiTCPXG_XC7V_128K_V1	Virtex-7	XC7V585T 以上

9. 使用リソース

参考としてSiTCPXG_XC7V_128K_V1の使用するリソースを表 9-1 に示します。

表 9-1 使用リソース

リソース名	使用量
Slice LUTs (Slice) ※1	5,437 (1,360)
Slice Registers (CLB Flip-Flops)	9,574 (9,574)
RAMB36 (Total Block RAM) ※2	70.5 (2,538kb)

※1 Slice は Slice LUTs × 0.25 として換算しています。

※2 RAMB18 は RAMB36 × 0.5 として換算しています。