

XEM8320_SiTCP_XG_EEPROM 解説

Ver 1.0.8

2026 年 4 月 9 日

株式会社 Bee Beans Technologies

目次

1	概要	1
2	プロジェクト作成.....	2
2.1	新規プロジェクト作成	2
2.2	Source の追加	3
3	IP コア生成	4
3.1	Clocking wizard.....	4
3.2	10G/25G Ethernet Subsystem.....	7
4	FPGA への書き込み	10
5	使用方法	11
5.1	SFP+の取付	11
5.2	DIP スイッチ設定	11
5.3	IP アドレス	12
5.4	レジスタ設定	12
6	レジスタ.....	13
6.1	バージョン表示 (0x00000000~0x00000003)	13
6.2	制御レジスタ(0x00000004)	13
6.2.1	SiTCPXG_OPEN_REQ (0x00000004:bit7).....	14
6.2.2	LOOPBACK (0x00000004:bit6)	14
6.2.3	SELECT_SEQ (0x00000004:bit1)	14
6.2.4	DATA_GEN (0x00000004:bit0)	14
6.3	送信レート (0x00000010)	14
6.4	送信ブロックサイズ (0x00000011~0x00000013).....	14
6.5	送信シーケンスパターン (0x00000014~0x00000017).....	15
6.6	送信データ数 (0x00000018~0x0000001F)	15
7	備考	16
7.1	最大送信レート.....	16
8	参考資料	17
9	来歴	17

1 概要

提供する「XEM8320_SiTCP_XG_EEPROM」(以後、本ファイル)は、OpalKelly 社製評価ボード XEM8320 用です。SFP ケージに 10GbE 用 SFP+を実装して使用して下さい。また、本ファイルは当社製品「SiTCP-XG NetKey_SYZYGY」を Port D に接続することで全ての機能が使用できます。接続していない場合、SiTCP のパラメータの保存及び ForceDefault の解除ができません。

本ファイルは「SiTCP-XG NetKey_SYZYGY」を接続する PORT D の電圧を 1.2V(デフォルト)から 3.3V に設定する必要があります。1.8V 以上であれば動作しますが、LED ランプの輝度が得られません。

表 1-1 にファイル一覧を示します。本ファイルには「clk_wiz_0」モジュール、「xxv_ethernet_0」モジュールが含まれていません。AMD 社の Vivado Design Suite(以後 Vivado)で作成して下さい。作成方法については後述します。

表 1-1 ファイル一覧

項番	ファイル名	説明
1	XEM8320_SiTCP_XG_EEPROM.v	トップモジュール
2	XEM8320_SiTCP_XG_EEPROM.xdc	制約ファイル
3	RBCP_TEST.v	RBCP のサンプルソース
4	TCP_TEST.v	TCP のサンプルソース
5	SiTCPXG_XCAUP_128K_V4.v	SiTCP-XG のポート宣言
6	SiTCPXG_XCAUP_128K_V4.edf	SiTCP-XG の本体
7	TIMER_SiTCPXG.v	SiTCP-XG 用タイマ
8	WRAP_SiTCPXG_XCAUP_128K.v	SiTCP-XG 用ラッパ

SiTCP-XG のライブラリとして提供されています。

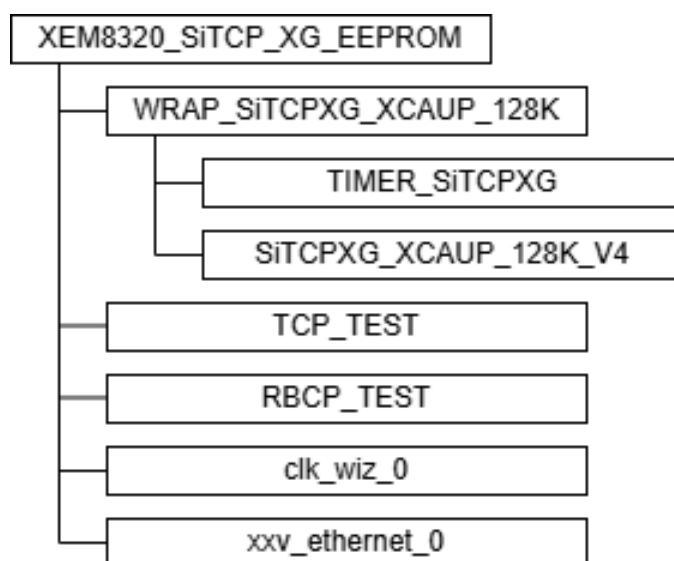


図 1-1 階層構造

2 プロジェクト作成

2.1 新規プロジェクト作成

VIVADO の Create Project から新規プロジェクトを作成します。

Project Type

Specify the type of project to create.

☒ **RTL Project**
You will be able to add sources, create block designs in IP Integrator, generate IP, run RTL analysis, synthesis, implementation, design planning and analysis.

☒ Do not specify sources at this time

☐ Project is an extensible Yitis platform

☐ **Post-synthesis Project**
You will be able to add sources, view device resources, run design analysis, planning and implementation.

☐ Do not specify sources at this time

☐ **I/O Planning Project**
Do not specify design sources. You will be able to view part/package resources.

☐ **Imported Project**
Create a Vivado project from a Synplify Project File.

☐ **Example Project**
Create a new Vivado project from a predefined template.

[?](#) [Back](#) [Next](#) [Finish](#) [Cancel](#)

ADD Sources と Add Constraints には何も入れず next を押します。

Default Part は以下の通り、「xcau25p-ffvb676-2-e」に設定します。

Default Part

Choose a default AMD part or board for your project.

Parts | Boards

[Reset All Filters](#)

Category: Package: Temperature:

Family: Speed: Static power:

Search: (12 matches)

Part	I/O Pin Count	Available IOBs	LUT Elements	FlipFlops	Block RAMs	Ultra RAMs	DSPs	BUFGs	Gb Transceivers	GTPE2 Trar
xcau25p-ffvb676-2-e	676	280	141000	282000	300	0	1200	10552	12	0
xcau25p-ffvb676-2-i	676	280	141000	282000	300	0	1200	10552	12	0
xcau25p-ffvb676-1-e	676	280	141000	282000	300	0	1200	10552	12	0
xcau25p-ffvb676-1-i	676	280	141000	282000	300	0	1200	10552	12	0
xcau25p-ffvb676-1L-i	676	280	141000	282000	300	0	1200	10552	12	0
xcau25p-ffvb676-1LV-i	676	280	141000	282000	300	0	1200	10552	12	0
xcau25p-sfwb784-2-e	784	304	141000	282000	300	0	1200	10552	12	0
xcau25p-sfwb784-2-i	784	304	141000	282000	300	0	1200	10552	12	0
xcau25p-sfwb784-1-e	784	304	141000	282000	300	0	1200	10552	12	0
xcau25p-sfwb784-1-i	784	304	141000	282000	300	0	1200	10552	12	0
xcau25p-sfwb784-1L-i	784	304	141000	282000	300	0	1200	10552	12	0

[?](#) [Back](#) [Next](#) [Finish](#) [Cancel](#)

2.2 Source の追加

本ファイルを追加します。

ADD Sources から以下の通りに Sources と Constraints の追加をします。

Add or Create Design Sources

Specify HDL, netlist, Block Design, and IP files, or directories containing those file types to add to your project. Create a new source file on disk and add it to your project.

	Index	Name	Library	Location
●	1	RBCP_TEST.v	xil_defaultlib	C: ディレクトリ
●	2	TCP_TEST.v	xil_defaultlib	C: ディレクトリ
●	3	XEM8320_SiTCP_XG_EEPROM.v	xil_defaultlib	C: ディレクトリ
📁	4	SiTCPXG_XCAUP_128K_V4.edf	N/A	C: ディレクトリ
●	5	SiTCPXG_XCAUP_128K_V4.v	xil_defaultlib	C: ディレクトリ
●	6	TIMER_SiTCPXG.v	xil_defaultlib	C: ディレクトリ
●	7	WRAP_SiTCPXG_XCAUP_128K.v	xil_defaultlib	C: ディレクトリ

☐ Scan and add RTL include files into project
☐ Copy sources into project
☒ Add sources from subdirectories

Add or Create Constraints

Specify or create constraint files for physical and timing constraint to add to your project.

Specify constraint set: constrs_1 (active)

Constraint File	Location
XEM8320_SiTCP_XG_EEPROM.xdc	C: ディレクトリ

☐ Copy constraints files into project

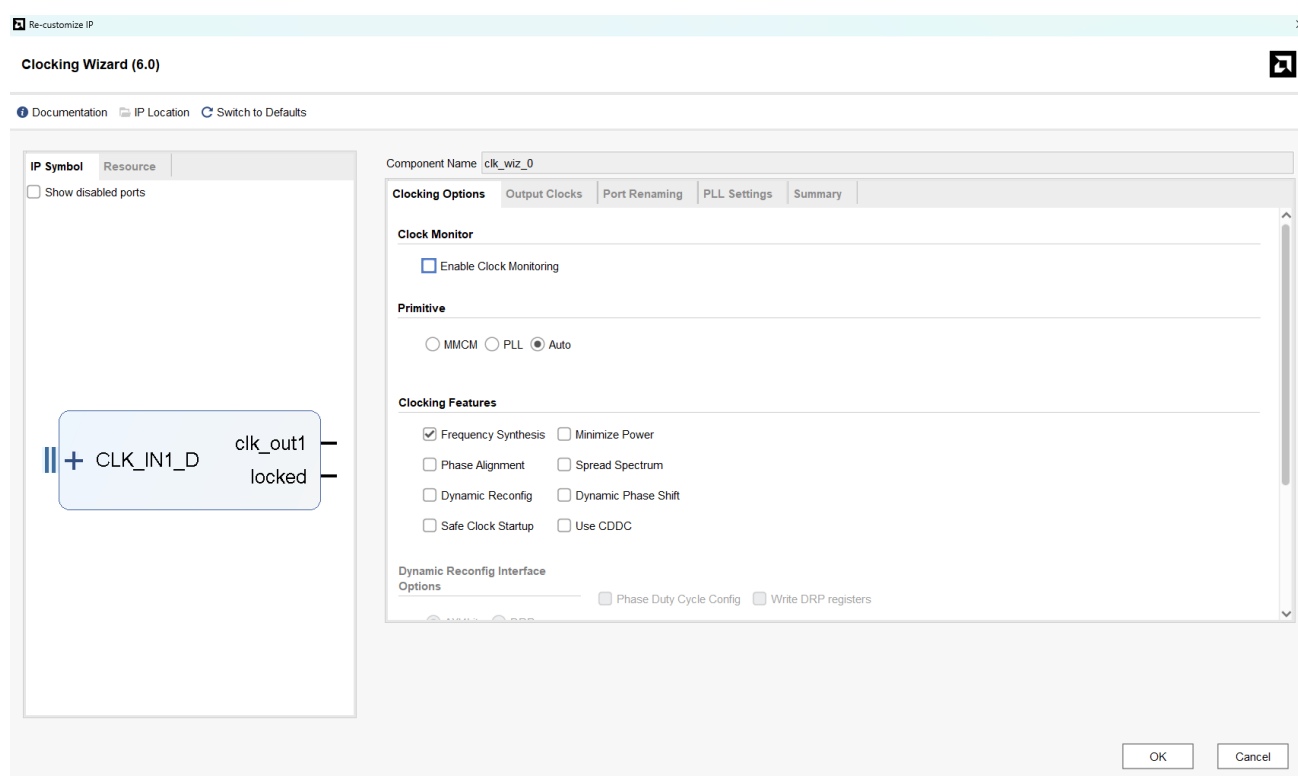
3 IP コア生成

プロジェクト作成後に IP コアの作成を行ってください。モジュール名は各項に従ってください。

以下は vivado2025.1 で作成した場合です。

3.1 Clocking wizard

Vivado の[IP Catalog]をクリックします。[IP Catalog]の検索欄に Clocking Wizard を入力すると「Clocking Wizard」が出てくるのでクリックします。あとは以下の画像の通りに設定して作成してください。Component Name は「clk_wiz_0」にしてください。



Clocking Options
Output Clocks
Port Renaming
PLL Settings
Summary

Clocking Features

☒ Frequency Synthesis
☐ Minimize Power

☐ Phase Alignment
☐ Spread Spectrum

☐ Dynamic Reconfig
☐ Dynamic Phase Shift

☐ Safe Clock Startup
☐ Use CDDC

Dynamic Reconfig Interface Options

☐ Phase Duty Cycle Config
☐ Write DRP registers

☒ AXI4Lite
☐ DRP

Input Clock Information

	Input Clock	Port Name	Input Frequency(MHz)		Jitter Options	Input Jitter	Source
	Primary	clk_in1	100.000	10.000 - 933.000	UI	0.010	Differential clock capable pin
☐	Secondary	clk_in2	100.000	93.750 - 187.500		0.010	Single ended clock capable pin

Clocking Options
Output Clocks
Port Renaming
PLL Settings
Summary

The phase is calculated relative to clk_out1.

Output Clock	Port Name	Output Freq (MHz)		Phase (degrees)		Duty Cycle (%)		Drives	Matched Routing	Max Freq. of buffer
		Requested	Actual	Requested	Actual	Requested	Actual			
☒ clk_out1	clk_out1	200.000	200.00000	0.000	0.000	50.000	50.0	Buffer	☐	775.194
☐ clk_out2	clk_out2	100.000	N/A	0.000	N/A	50.000	N/A	Buffer	☐	775.194
☐ clk_out3	clk_out3	100.000	N/A	0.000	N/A	50.000	N/A	Buffer	☐	775.194
☐ clk_out4	clk_out4	100.000	N/A	0.000	N/A	50.000	N/A	Buffer	☐	775.194
☐ clk_out5	clk_out5	100.000	N/A	0.000	N/A	50.000	N/A	Buffer	☐	775.194
☐ clk_out6	clk_out6	100.000	N/A	0.000	N/A	50.000	N/A	Buffer	☐	775.194
☐ clk_out7	clk_out7	100.000	N/A	0.000	N/A	50.000	N/A	Buffer	☐	775.194

☐ USE CLOCK SEQUENCING

Output Clock	Sequence Number
clk_out1	1
clk_out2	1
clk_out3	1

Clocking Options
Output Clocks
Port Renaming
PLL Settings
Summary

☐ USE CLOCK SEQUENCING

Output Clock	Sequence Number
clk_out1	1
clk_out2	1
clk_out3	1
clk_out4	1
clk_out5	1
clk_out6	1
clk_out7	1

Enable Optional Inputs / Outputs for MMCM/PLL
Reset Type
Phase Shift Mode

☐ reset
☐ power_down
☐ input_clk_stopped
☒ Active High
☐ Active Low
☐ WAVEFORM
☒ LATENCY

☒ locked
☐ clkfbstopped

Clocking Options	Output Clocks	Port Renaming	PLL Settings	Summary
------------------	---------------	----------------------	--------------	---------

VCO Frequency

VCO Freq = 800.00000 MHz

Optional Port Names

Other Pins	Port Name
locked	locked

Clocking Options	Output Clocks	Port Renaming	PLL Settings	Summary
------------------	---------------	---------------	---------------------	---------

☐ Allow Override Mode

Attribute	Value
BANDWIDTH	OPTIMIZED
CLKFBOUT_MULT	8
CLKFBOUT_PHASE	0.000
CLKIN1_PERIOD	10.000
CLKIN2_PERIOD	10.000
COMPENSATION	AUTO
DIVCLK_DIVIDE	1
REF_JITTER1	0.010
REF_JITTER2	0.010
STARTUP_WAIT	☐
CLKFBOUT_USE_FINE_PS	☐
CLKOUT4_CASCADE	☐

Clk Wizard Port	Renamed Port	MMCM/PLL Port	Divide	Duty Cycle	Phase	Use Fine Ps
clk_out1	clk_out1	CLKOUT0	4	0.500	0.000	☐

Clocking Options	Output Clocks	Port Renaming	PLL Settings	Summary
------------------	---------------	---------------	--------------	----------------

Primary Input Clock Attributes

Input Clock Frequency (MHz)	100.000
Clock Source	Differential_clock_capable_pin
Jitter	0.010

Clocking Primitive Attributes

Primitive Instantiated : PLL

Divide Counter : 1

Mult Counter : 8

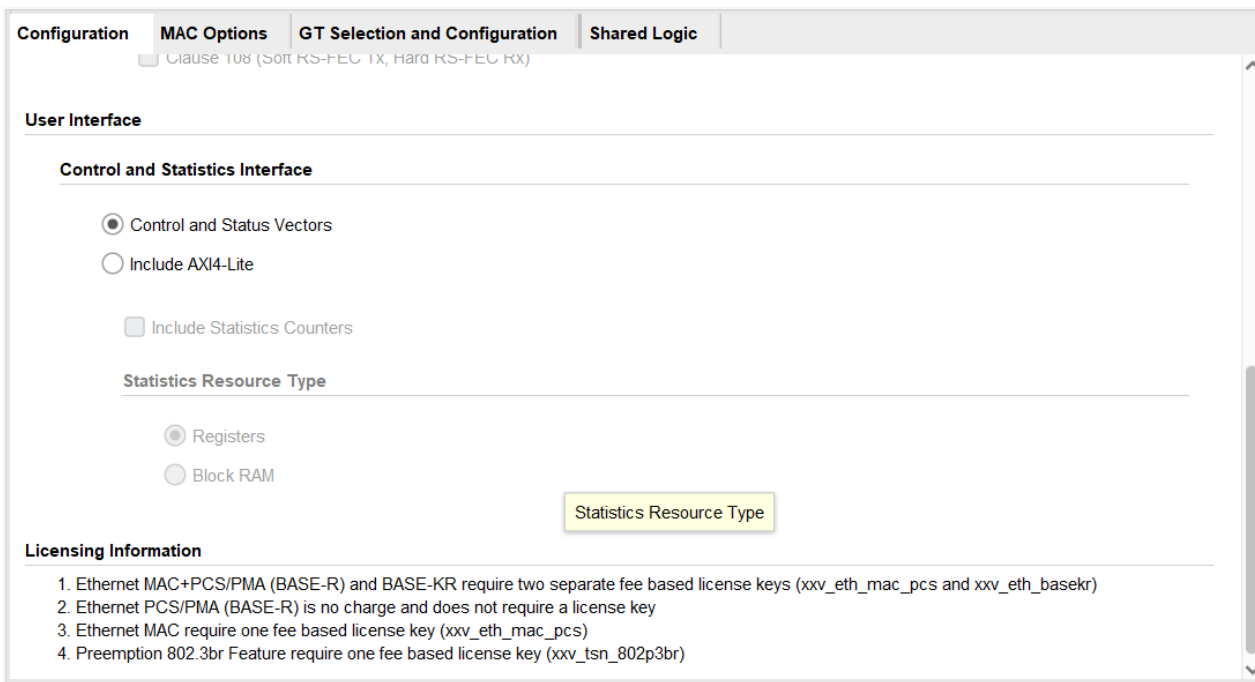
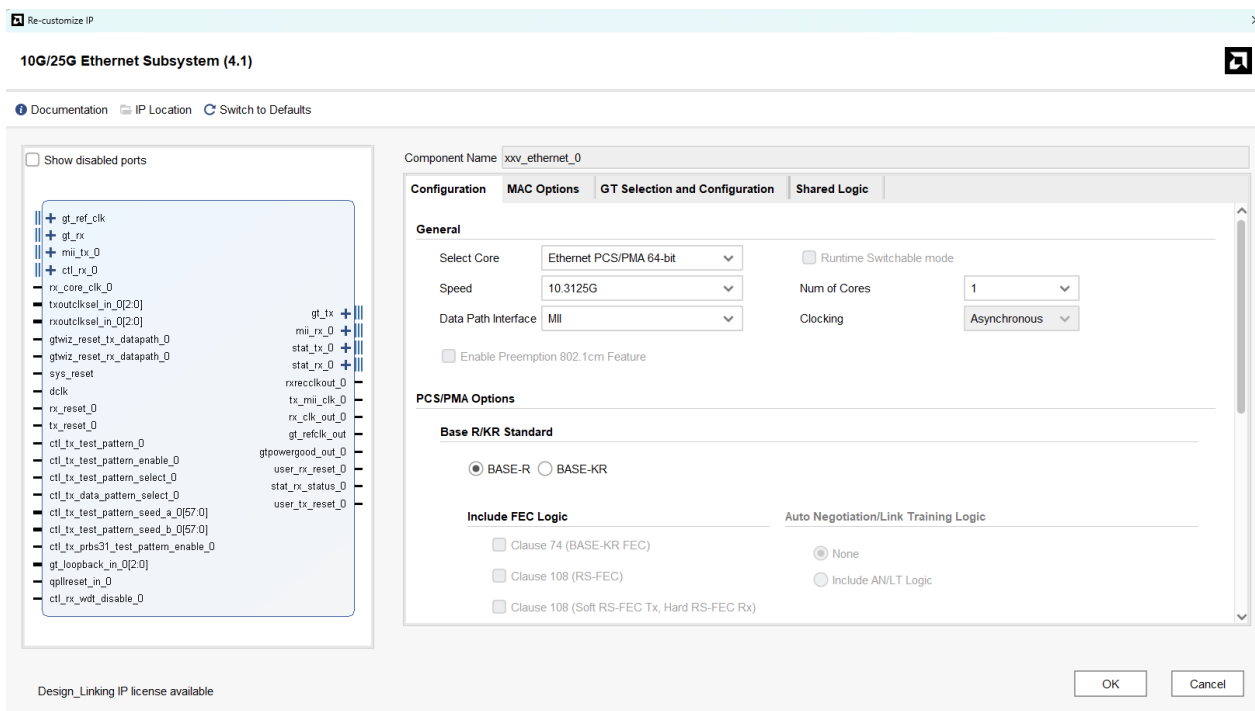
Clock Phase Shift : None

Clock WIZ O/p Pins	Source	Divider Value	Tspread (ps)	Pk-to-Pk Jitter (ps)	Phase Error (ps)
clk_out1	PLL CLKOUT0	4	OFF	128.455	114.212
clk_out2	OFF	OFF	OFF	OFF	OFF
clk_out3	OFF	OFF	OFF	OFF	OFF
clk_out4	OFF	OFF	OFF	OFF	OFF
clk_out5	OFF	OFF	OFF	OFF	OFF
clk_out6	OFF	OFF	OFF	OFF	OFF
clk_out7	OFF	OFF	OFF	OFF	OFF

3.2 10G/25G Ethernet Subsystem

Vivado の[IP Catalog]をクリックします。[IP Catalog]の検索欄に 10G/25G Ethernet Subsystem を入力すると「10G/25G Ethernet Subsystem」が出てくるのでクリックします。あとは以下の画像の通りに設定して作成してください。Component Name は「xxv_ethernet_0」にしてください。

合成後にライセンス由来のクリティカルワーニングが発生しますが、今回設定する「Ethernet PCS/PMA 64-bit」、「BASE-R」を使用する場合には支障ありません。



Configuration
MAC Options
GT Selection and Configuration
Shared Logic

☐ Include FIFO Logic

Flow Control

☐ Enable TX Flow Control Logic

☐ Enable RX Flow Control Logic

IEEE PTP 1588v2

☐ Enable Timestamping Logic

Operation Mode
Two Step

1588 SYS Clock period in ps
4000
[2000 - 100000]

Datapath Parity Feature

☐ Enable Datapath Parity

Preemption 802.3br Feature Options

☐ Enable Packet Assembly FIFO

Configuration
MAC Options
GT Selection and Configuration
Shared Logic

GT Location

Select whether the GT IP is included in the core or in the example design

☒ Include GT subcore in core

☐ Include GT subcore in example design

GT Clocks

GT RefClk
156.25
(In MHz)

GT DRP/Free running Clock
156.25
[10.00 - 156.25] (In MHz)

Core to GT Association

GT Type
GTY

GT Selection
Quad X0Y2

Lane-00
X0Y8

Lane-01
NA

Lane-02
NA

Configuration
MAC Options
GT Selection and Configuration
Shared Logic

Core to GT Association

GT Type
GTY

GT Selection
Quad X0Y2

Lane-00
X0Y8

Lane-01
NA

Lane-02
NA

Lane-03
NA

Advanced Options

Receiver Options

RX Equalization Mode
Auto

RX Insertion Loss at Nyquist (dB)
30
(>= 0)

Others

☐ Enable Pipeline Registers

☐ Enable GT Interface for Board Based Design

☐ Enable Additional GT Control/Status and DRP Ports

Configuration
MAC Options
GT Selection and Configuration
Shared Logic

Shared Logic

Select whether the transceiver quad PLL, the transceiver differential reference clock buffer, other clock buffers and some reset logic is included in the core itself or in the example design

☒ Include Shared Logic in core

☐ Include Shared Logic in example design

Shared Logic Overview

Include Shared Logic in core

- For users who want a complete single solution.
- For users who want one core with Shared Logic to drive multiple cores without Shared Logic.

Core with Shared Logic

Shared Logic

Other Core Logic

4 FPGA への書き込み

Bitstream 生成後、以下の通りに設定をして Configuration file を作成します。

Memory Part は「is25wp256d-spi-x1_x2_x4」を指定してください。

Create a configuration file to program the device 

Format: MCS

☒ Memory Part: is25wp256d-spi-x1_x2_x4 ...

☐ Custom Memory Size (MB): 32

Filename: 保存するファイル名 ...

Options

Interface: SPIx4

☒ Load bitstream files ☐ Daisy chain configuration file

Start address: 00000000 Direction: up Bitfile: 生成したBitFile ... +

☐ Load data files

Start address: 00000000 Direction: up Datafile: ... +

☐ Write checksum

☐ Disable bit swapping

☐ Overwrite

Command: write_cfgmem -format mcs -size 32 -interface SPIx4

? OK Cancel

5 使用方法

XEM8320 で動作させる上での注意点です。

5.1 SFP+の取付

SFP1 の SFP ケージに 10GbE 用(10GBASE-SR 用など)の SFP+を取り付けてください。

5.2 DIP スイッチ設定

「SiTCP-XG NetKey_SYZYGY」の SW1 の 4 番(GPIO_DIP_SW[3])を ON (ForceDefault 解除)にして使用してください。

「SiTCP-XG NetKey_SYZYGY」を使用しない場合は常に ForceDefault 状態になります。

「SiTCP-XG NetKey_SYZYGY」の SW1 の 1～3番は、TCP の送信データを SiTCP-XG に書込む時のバス幅を指定します。スイッチの設定とバス幅の関係を表 5-1 に示します。なお、最大性能となる全て ON にすることを推奨します。

表 5-1 ディップスイッチ 1～3 の設定

DIP スイッチ			バス幅
3	2	1	
OFF	OFF	OFF	1Byte(USER_TX_D[63:56])
OFF	OFF	ON	2Byte(USER_TX_D[63:48])
OFF	ON	OFF	3Byte(USER_TX_D[63:40])
OFF	ON	ON	4Byte(USER_TX_D[63:32])
ON	OFF	OFF	5Byte(USER_TX_D[63:24])
ON	OFF	ON	6Byte(USER_TX_D[63:16])
ON	ON	OFF	7Byte(USER_TX_D[63: 8])
ON	ON	ON	8Byte(USER_TX_D[63: 0])

5.3 IP アドレス

ForceDefault 時の IP アドレス、ポート番号を表 5-2 に示します。

ForceDefault を解除した場合は「SiTCP-XG NetKey_SYZYGY」に保存された IP アドレス、ポート番号で動作します。

表 5-2 ForceDefault 時の IP アドレス、ポート番号

項目	値
IP アドレス	192.168.10.10
TCP ポート番号	24
UDP ポート番号 (RBCP)	4660

5.4 レジスタ設定

RBCP の 0x00000004 のレジスタでテストモードを設定します。詳細は「6 レジスタ」を参照して下さい。

6 レジスタ

本サンプルで実装している RBCP スレーブのレジスタマップを表 6-1 に示します。

表 6-1 RBCP メモリマップ

アドレス		Byte 数	説明
開始	終了		
00000000	00000003	4	バージョン表示
00000004	00000004	1	制御レジスタ
00000010	00000010	1	送信レート
00000011	00000013	3	送信ブロックサイズ
00000014	00000017	4	送信シーケンスパターン
00000018	0000001F	8	送信データ数

6.1 バージョン表示(0x00000000~0x00000003)

バージョン表示用レジスタです。SiTCP-XG コアの REG_FPGA_VER ポートの値と同じです。

6.2 制御レジスタ(0x00000004)

基本動作の設定を行います。制御レジスタのビットマップを表 6-2 に示します。

表 6-2 制御レジスタのビットマップ

bit 位置	名称	意味
bit7	SiTCPXG_OPEN_REQ	1:クライアントモード開始 0:クライアントモード停止
bit6	LOOPBACK	1:ループバック 0:通常 of データ送信
bit5	NOT_USE	未使用 ・読出し:0 ・書込み:無効
bit4		
bit3		
bit2		
bit1	SELECT_SEQ	1:シーケンスモードで送信 0:通常モードで送信
bit0	DATA_GEN	1:データ生成許可 0:データ生成禁止

6.2.1 SiTCPXG_OPEN_REQ (0x00000004:bit7)

1を設定する事で SiTCP-XG コアからセッションを開くクライアントモードでの動作を開始します。クライアントモードで使用する場合、接続先の情報を SiTCP-XG に設定する必要があります。詳細は、「SiTCP-XG 説明書」[\[2\]](#)を参照してください。

なお、本ビットは接続先からセッション切断が通知されると0に戻ります。

6.2.2 LOOPBACK (0x00000004:bit6)

1を設定すると TCP セッションが確立時に、受信したデータをそのまま送信します。0を設定すると受信データは破棄されます。

6.2.3 SELECT_SEQ (0x00000004:bit1)

生成データを送信するときのみ有効です。1を設定すると 0x00000014～0x00000017 で指定するバス幅のパタンで TCP 送信データを SiTCP-XG コアに書込みます。0を設定するとディップスイッチで指定したバス幅で TCP 送信データを SiTCP-XG コアに書込みます。

なお、ループバックの場合は、最適なバス幅で TCP 送信データを SiTCP-XG コアに書込みます。

6.2.4 DATA_GEN (0x00000004:bit0)

LOOPBACK=0 の時にのみ有効です。1を設定すると TCP セッションが確立時に生成データを送信します。LOOPBACK=0 かつ DATA_GEN=0 の時は、セッションが確立しても何もデータを出しません。

生成データは、1byte、初項 0x01 公差 1、項数 255 の等差数列(0x01 から 0xFF)の繰り返しです。また、データの発生レートは 0x00000010 で制御(初期値 10Gbps)します。発生レートは 0x00000011～0x00000013 で指定するブロックサイズ単位に制御します。指定したブロックサイズをバースト転送し次のブロックまでの送信時間でレートを制御します。なお、レート制御より SiTCP-XG からのフロー制御が優先されます。また、TCP 送信データの書込みバス幅によっても最大レートは制限されます。

6.3 送信レート (0x00000010)

生成データの発生レートを 100Mbps 単位で設定します。初期値は 100(0x64)であり 10Gbps です。

6.4 送信ブロックサイズ (0x00000011～0x00000013)

レート制御する単位を Byte 単位で設定します。初期値は 0x0d0000(851,968)です。ブロックとブロックの間には1クロックのデッドタイムが発生するため、ブロックサイズを小さくすると希望するレートが得られない場合があります。

6.5 送信シーケンスパターン (0x00000014~0x00000017)

SELECT_SEQ (0x00000004:bit1)が1の場合に有効です。ここに設定される 32bit のデータは 8 個のニブルデータ(4bit)でバス幅を指定します。0 は送信なし、1~8 は1クロックに送出する Byte 数、9~F は使用禁止です。初期値は 0x60808040 です。6Byte-送信なし-8Byte-送信なし-8Byte-送信なし-4Byte-送信なしの繰り返しパターンです。

送信シーケンスはセッション切断で初期化され、セッション確立時に 0x00000014 の bit7~bit4 のバス幅から送信します。

6.6 送信データ数 (0x00000018~0x0000001F)

データ生成する Byte 数を指定します。ここで設定した Byte 数の生成が終わると生成を終了します。セッションの切断で初期化されるので再度セッションを確立すると再び設定数のデータを生成します。初期値は、0xFFFF_FFFF_FFFF_FFFF なので実質的に終了しません。

7 備考

7.1 最大送信レート

バス幅、送信ブロックサイズによって SiTCP-XG に入力できる送信データの最大帯域が制限されます。表 7-1 に送信バス幅とブロックサイズによる最大帯域を示します。

表 7-1 最大帯域（単位:Gbps）

ブロックサイズ	バス幅							
	1 Byte	2 Byte	3 Byte	4 Byte	5 Byte	6 Byte	7 Byte	8 Byte
1 Byte	0.625	1.250	1.875	2.500	3.125	3.750	4.375	5.000
10 Byte	1.136	2.273	3.409	4.545	5.682	6.818	7.955	9.091
100 Byte	1.238	2.475	3.713	4.950	6.188	7.426	8.663	9.901
1,000 Byte	1.249	2.498	3.746	4.995	6.244	7.493	8.741	9.990
10,000 Byte	1.250	2.500	3.750	5.000	6.249	7.499	8.749	9.999
100,000 Byte	1.250	2.500	3.750	5.000	6.250	7.500	8.750	10.000

8 参考資料

- ・ [1] SiTCPXG_Netlist_for_Artix_UltraScalePlus (SiTCP-XG 本体)
([GitHub - BeeBeansTechnologies/SiTCPXG_Netlist_for_Artix_UltraScalePlus: SiTCPXG Library \(edif file\) for AMD Artix UltraScale+. · GitHub](#))
- ・ [2]SiTCP-XG 説明書
([SiTCP / SiTCP-XG | Bee Beans Technologies Co. Ltd.](#))

9 来歴

来歴		
Ver	日付	変更内容
1.0.8	2026/04/09	初版制定