

BBT-022(SOY2) Loader 用ファームウェア

BBT-022-LFV01

機能仕様書



2018 年 9 月 25 日 1.2 版

(株)Bee Beans Technologies

改版履歴

版数	FPGA Version	日付	内容
1.0	18053010	2018 年 5 月 31 日	初版
1.1		2018 年 7 月 5 日	3.9 J5(FX2 コネクタ) +5V の許容値の上限電圧を 13.5V から 10V に変更
1.2	18092510	2018 年 9 月 25 日	本文修正なし (FPGA のタイミング改善のみ)

目次

1. 概要	1
2. BBT-022-LFV01 の機能概要.....	1
2.1. ユーザ用デザイン起動機能	1
2.2. ユーザ用デザインファイル書き込み機能.....	1
2.3. Flash メモリデータ表示機能.....	2
2.4. ローダ用デザインファイル書き込み機能	2
3. 各部の説明	3
3.1. DC コネクタ (+5V 入力).....	4
3.2. RJ45 コネクタ (Ethernet)	4
3.3. J1(通信モード・ジャンパ).....	4
3.4. ディップスイッチ	4
3.5. J3(ForceDefault ジャンパ).....	5
3.6. JTAG コネクタ.....	5
3.7. プッシュスイッチ	5
3.8. 3 色 LED.....	6
3.9. J5 (FX2 コネクタ)	6
4. MCS ファイル	8
5. ダウンロード.....	10
6. RBCP (UDP) アクセス	13
6.1. Version Register (0x00000000~0x00000003).....	13
6.2. Name Register (0x00000004~0x0000000F).....	13
6.3. Control Register (0x00000010).....	14
6.4. Status Register (0x00000011)	14
6.5. Error Code Register (0x00000012~0x00000013).....	15
6.6. Checksum Register (0x00000014~0x00000017)	15
6.7. Boot Top Address Register (0x00000018~0x0000001B).....	16
6.8. Update Address Register (0x0000001C~0x0000001F).....	16
7. 付録	17
7.1. Checksum の値について	17

1. 概要

本資料は BBT-022(SOY2)の起動用デザインの機能を記述するものです(以後、本デザイン)。通常は本デザインで起動完了すると速やかにユーザ用デザインを読み出します。従って本デザインで動作する時間はほとんどありません。本デザインはユーザ用デザインファイル及び本デザインファイルを Flash メモリに書き込む場合に使用します。

デザインの品名 LFV はローダ用デザインを意味し、DFV はユーザ領域に出荷時に書き込むデフォルトのデザインの品名とします。

2. BBT-022-LFV01 の機能概要

BBT-022(SOY2)は、電源投入時に起動するローダ用デザインとローダによって起動されるユーザ用デザインを Flash メモリに格納します。BBT-022-LFV01 はローダ用デザインであり、電源投入時に動作するデザインです。以下に BBT-022-LFV01 の機能を示します。

表 2-1 BBT-022-LFV01 の機能

機能	説明
ユーザ用デザイン起動機能	ユーザ用デザインを起動します。
ユーザ用デザインファイル書き込み機能	ユーザ用デザインファイルを Flash メモリに書き込みます。
Flash メモリデータ表示機能	Flash メモリの内容を RBCP で確認できます。
ローダ用デザインファイル書き込み機能	ローダ用デザインファイルを Flash メモリに書き込みます。

2.1. ユーザ用デザイン起動機能

電源投入で起動した本デザインは、ディップスイッチの 4 番が OFF ならば、自動的にユーザ用デザインを起動します。ディップスイッチの 4 番が ON であると自動起動はしませんが、RBCP を用いてレジスタからユーザ用デザインを起動できます。

2.2. ユーザ用デザインファイル書き込み機能

FPGA のデザインを格納するための Flash メモリは 8Mbyte(64Mbit)の容量であり、ユーザ用デザインファイル用に 4Mbyte (0x400000~0x7FFFFFF)の空間が割り当てられます。ユーザ用デザインファイルを書き込むためには、イーサネットから TCP で MCS ファイル(デザインファイル)を転送します。使用するポート番号は Data Port で指定されるポート番号(初期値は 24)となります。

2.3. Flash メモリデータ表示機能

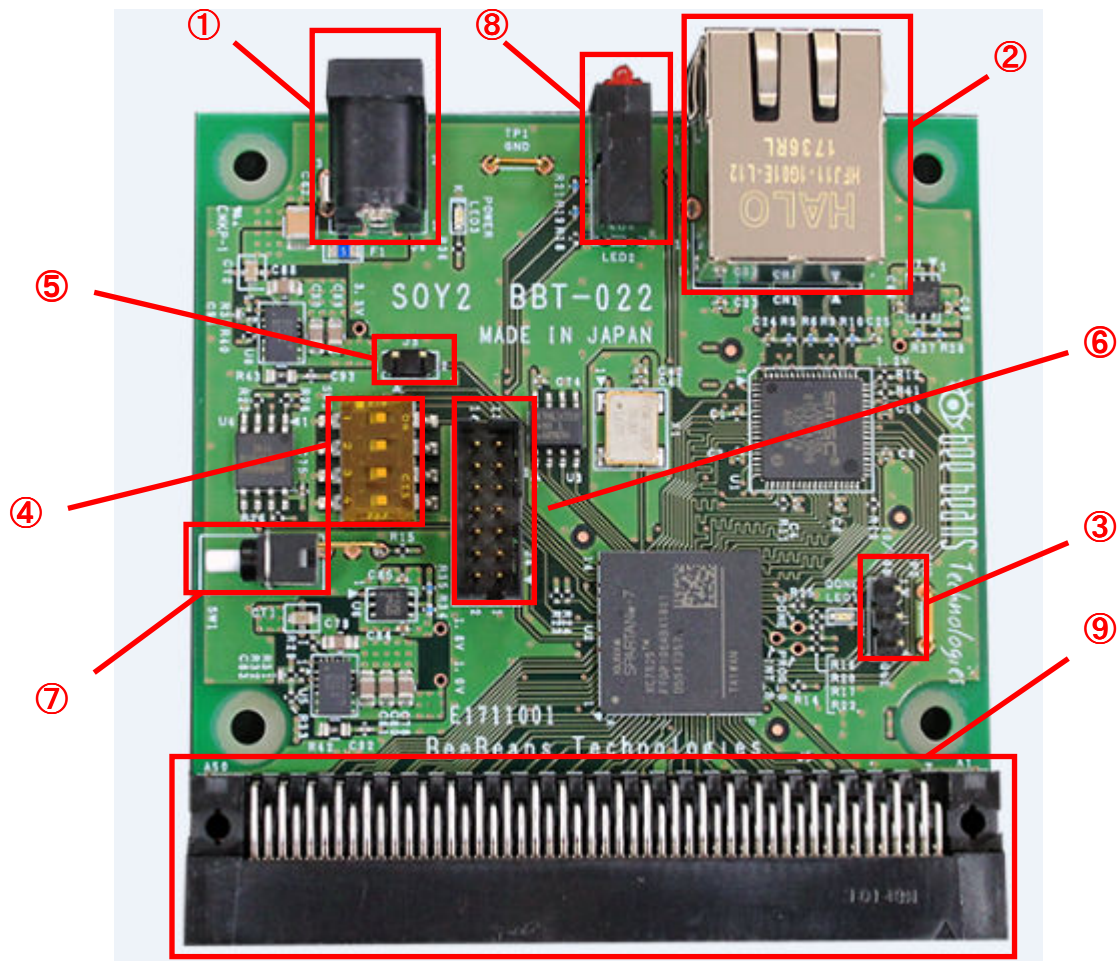
Flash メモリに書き込まれている値を確認できます。RBCP の 0x01000000～0x017FFFFFFF が Flash メモリに割り当てられています。なお、書き込みはできません。

2.4. ロード用デザインファイル書き込み機能

FPGA のデザインを格納するための Flash メモリは 8Mbyte(64Mbit)の容量であり、ロード用デザインファイル用に 4Mbyte(0x000000～0x3FFFFFFF)の空間が割り当てられます。ロード用領域は電源が投入された時に自動的に読み出されるデザインです。ロード用デザインファイルを書き込むためには、J3(ForceDefault)にジャンパピンを設定した後、イーサネットから TCP で MCS ファイル(デザインファイル)を書き込む事によって Flash メモリにデザインを書き込めます。使用するポート番号は Command Port で指定されるポート番号(初期値は 23)となります。

3. 各部の説明

SOY2 に実装されている部品について説明します。



- | | |
|-------------------------|----------------|
| ① DC コネクタ(+5V 入力) | ⑥ JTAG コネクタ |
| ② RJ45 コネクタ(Ethernet) | ⑦ プッシュスイッチ |
| ③ J1(通信モード・ジャンパ) | ⑧ 3 色 LED |
| ④ ディップスイッチ | ⑨ J5(FX2 コネクタ) |
| ⑤ J3(ForceDefault ジャンパ) | |

図 3-1 各部の位置

3.1. DC コネクタ (+5V 入力)

DC コネクタは+5V 4A の DC 電源入力端子です。入力には 4A のヒューズが入っています。コネクタは、内径 2.1mm 外形 5.5mm の 2.1mm 標準 DC ジャックです。

基板単体、本デザインでの消費電流は約 700mA (100BASE-TX の場合は約 300mA) です。

DC コネクタを使用せず J5 の FX2 コネクタの+5V 端子から電源を供給する事も可能です。その場合、ヒューズがありませんのでご注意ください。

3.2. RJ45 コネクタ(Ethernet)

RJ45 コネクタは Ethernet 接続用のコネクタであり、1000BASE-T, 100BASE-TX, 10BASE-T に対応しています。RJ45 の下にある緑とオレンジの LED は Ethernet の状態と Link スピードを表示します。Link が確立すると LED は点灯します。またデータの送受信があると点滅します。1000BASE-T の場合は、オレンジと緑が同じように点灯・点滅します。100BASE-TX では緑だけ、10BASE-T ではオレンジだけが点灯・点滅します。

3.3. J1(通信モード・ジャンパ)

J1 は Ethernet の link スピードを設定します。10/100 側にジャンパを取り付けると 100BASE-TX または、10BASE-T でのリンクとなります。GbE 側にジャンパを取り付けると 1000BASE-T での Link も可能となります。通常 GbE 側に取り付けますが Link スピードを落として消費電力を小さくしたい場合には 10/100 側に取り付けて下さい。

なお、ジャンパを取り付けないと GbE 側に取り付けた場合と同じになります(非推奨)。

3.4. ディップスイッチ

ディップスイッチは、4 番スイッチ以外であれば任意に利用できます。4 番スイッチを ON にすると本デザインはユーザ用デザインの起動を行いません。この状態では、ユーザのデザインファイルを書き込む事ができます。ユーザ用デザインが起動した後では 4 番スイッチも自由に使用できますが、電源投入時にはユーザデザインを自動起動させるために OFF である必要があります。

3.5. J3(ForceDefault ジャンパ)

J3 は本デザインでは ForceDefault を指定します。ジャンパを取り付けると ForceDefault 状態となります。ForceDefault 状態では表 3-1 で示す状態に強制的に設定されます。また、ForceDefault 状態でのみローダ用デザインファイルを書き込めます。なお、本ジャンパは FPGA の汎用ピンに接続されているため、ユーザデザインでは任意に使用できます。

表 3-1 ForceDefault 状態での設定

項目	値
IP アドレス	192.168.10.16
TCP ポート番号 (Data Port)	24
TCP ポート番号 (Command Port)	23
UDP ポート番号	4660

3.6. JTAG コネクタ

JTAG コネクタは XILINX 社のプラットフォームケーブル USB II(HW-USB-II-G)を接続できます。直接 FPGA に bitstream ファイルを書き込む場合や、XILINX 社の ChipScope を使用する場合に利用できます。

3.7. プッシュスイッチ

モーメンタリのプッシュスイッチです。本デザインでは使用していません。

3.8. 3 色 LED

3 色の LED で簡易的な状態表示をしています。パワーオンリセット中は赤の LED が点灯します。動作中は赤の LED か緑の LED が点滅します。ForceDefault の場合が赤で通常状態が緑です。オレンジの LED は TCP セッションが確立しダウンロードが可能になると点灯します。ダウンロードが終わるとセッションが確立していても消灯します。再度、ダウンロード可能になると点灯しますが、そのためにはセッションを切断した後、再度セッションを確立する必要があります。

表 3-2 LED の点灯条件

LED 名	点灯条件
赤	パワーオンリセット中: 点灯 ForceDefault 動作中: 点滅 通常動作中: 消灯
オレンジ	ダウンロード可能・ダウンロード中: 点灯 ダウンロード完了: 消灯
緑	パワーオンリセット中: 消灯 ForceDefault 動作中: 消灯 通常動作中: 点滅

3.9. J5(FX2 コネクタ)

J5 のコネクタは、FX2-100P-1.27DS(ヒロセ)です。本コネクタには+5V 電源、+3.3V 電源、FPGA のピンが接続されています。+5V は電源入力としても電源出力としても使用できます。DC コネクタから電源供給する場合は出力となります。DC コネクタから電源供給しない場合は FX2 の+5V ピンから電源を供給して下さい。SOY2 内部では+5V の許容値は 4.5V~10V です。

+3.3V は SOY2 の基板に内蔵されている電源の出力です。入力できません。取り出せる電流は SOY2 内で使用する電流も含めて 3A 未満となります。

未接続(NC)を除くその他の端子は FPGA の 3.3V バンクに接続されています。FPGA の推奨動作条件+3.465V を超えないようにして下さい。ピン配置を表 3-3 に示します。

表 3-3 FX2 コネクタピン配置

信号名※	FX2 ピン番号		信号名※	信号名※	FX2 ピン番号		信号名※
+3.3V	A1	B1	GND	FPGA.E2	A26	B26	GND
+3.3V	A2	B2	GND	FPGA.F4	A27	B27	GND
NC	A3	B3	NC	FPGA.D3	A28	B28	GND
NC	A4	B4	NC	FPGA.E4	A29	B29	GND
NC	A5	B5	GND	FPGA.D1	A30	B30	GND
FPGA.M3	A6	B6	GND	FPGA.D2	A31	B31	GND
FPGA.P2	A7	B7	GND	FPGA.D4	A32	B32	GND
FPGA.N1	A8	B8	GND	FPGA.C1	A33	B33	GND
FPGA.M2	A9	B9	GND	FPGA.C3	A34	B34	GND
FPGA.M1	A10	B10	GND	FPGA.B1	A35	B35	GND
FPGA.K3	A11	B11	GND	FPGA.B2	A36	B36	GND
FPGA.L3	A12	B12	GND	FPGA.A2	A37	B37	GND
FPGA.L1	A13	B13	GND	FPGA.B3	A38	B38	GND
FPGA.L2	A14	B14	GND	FPGA.A3	A39	B39	GND
FPGA.K4	A15	B15	GND	FPGA.C4	A40	B40	GND
FPGA.J3	A16	B16	GND	FPGA.A4	A41	B41	GND
FPGA.J4	A17	B17	GND	FPGA.B5	A42	B42	GND
FPGA.J1	A18	B18	GND	FPGA.A5	A43	B43	GND
FPGA.J2	A19	B19	GND	FPGA.C5	A44	B44	GND
FPGA.H1	A20	B20	GND	FPGA.B6	A45	B45	GND
FPGA.F3	A21	B21	GND	NC	A46	B46	FPGA.H2
FPGA.H3	A22	B22	GND	FPGA.G4	A47	B47	GND
FPGA.G1	A23	B23	GND	NC	A48	B48	FPGA.H4
FPGA.F2	A24	B24	GND	+5V	A49	B49	+5V
FPGA.F1	A25	B25	GND	+5V	A50	B50	GND

※FPGA に接続される信号名は FPGA.[ピン番号]で表示しています。

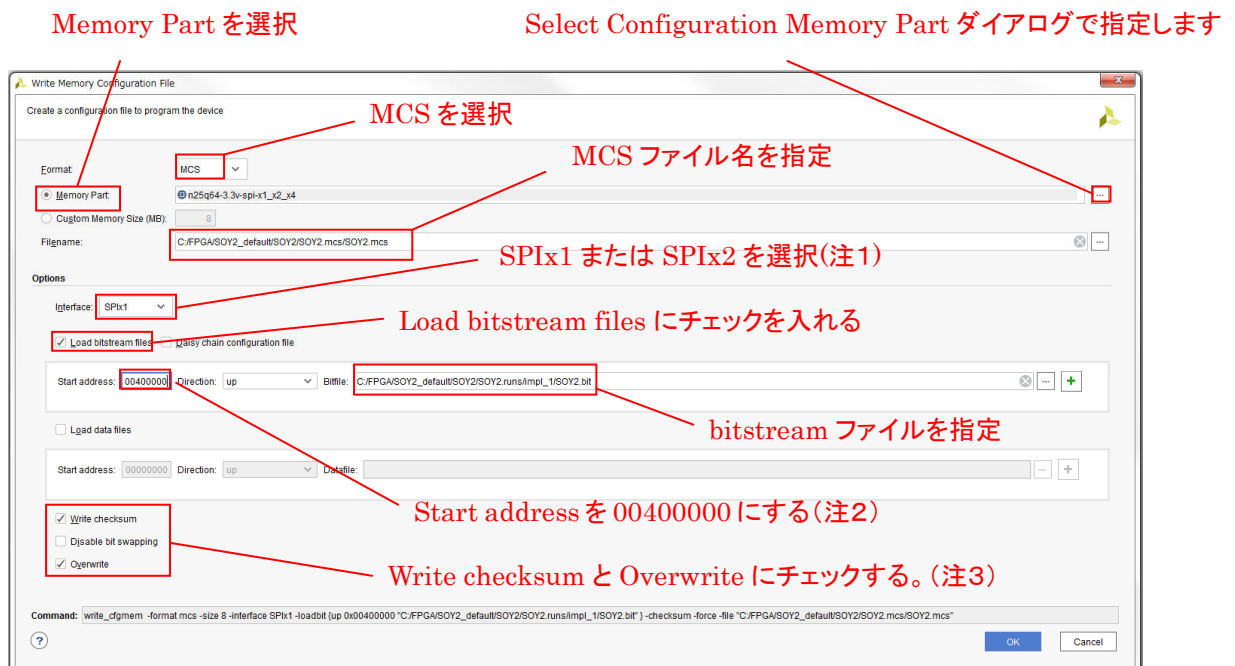
4. MCS ファイル

ダウンロードできるユーザ用デザインファイルは MCS ファイルです。また、SPI の x1 または x2 の何れかが使用できます。x2 を使用する場合は、bitstream ファイル作成時に x2 にしておく必要があります。XDC で指定する場合は、図 4-1 の記述を XDC ファイルに追加します。

VIVADO の Generate Bitstream で bitstream ファイルを作ります。[Tools]のメニューの[Generate Memory Configuration File …]をクリックして Write Memory Configuration File ダイアログを表示します。図 4-2 で示すように設定した後、[OK]ボタンをクリックすると MCS ファイルが作られます。Memory Part は Select Configuration Memory Part ダイアログで指定します。指定方法は図 4-3 を参照して下さい。

```
set_property BITSTREAM.CONFIG.SPI_BUSWIDTH 2 [current_design]
```

図 4-1 XDC で x2 を指定



- (注1) SPIx2 を使用する場合は bitstream 作成時に x2 を指定しておく必要があります。
- (注2) ダウンロード開始アドレスのデフォルト値は 0x00400000 です。
- (注3) チェックするのは必須ではありません。prm ファイルにチェックサムが記録されます。

図 4-2 Write Memory Configuration File ダイアログ

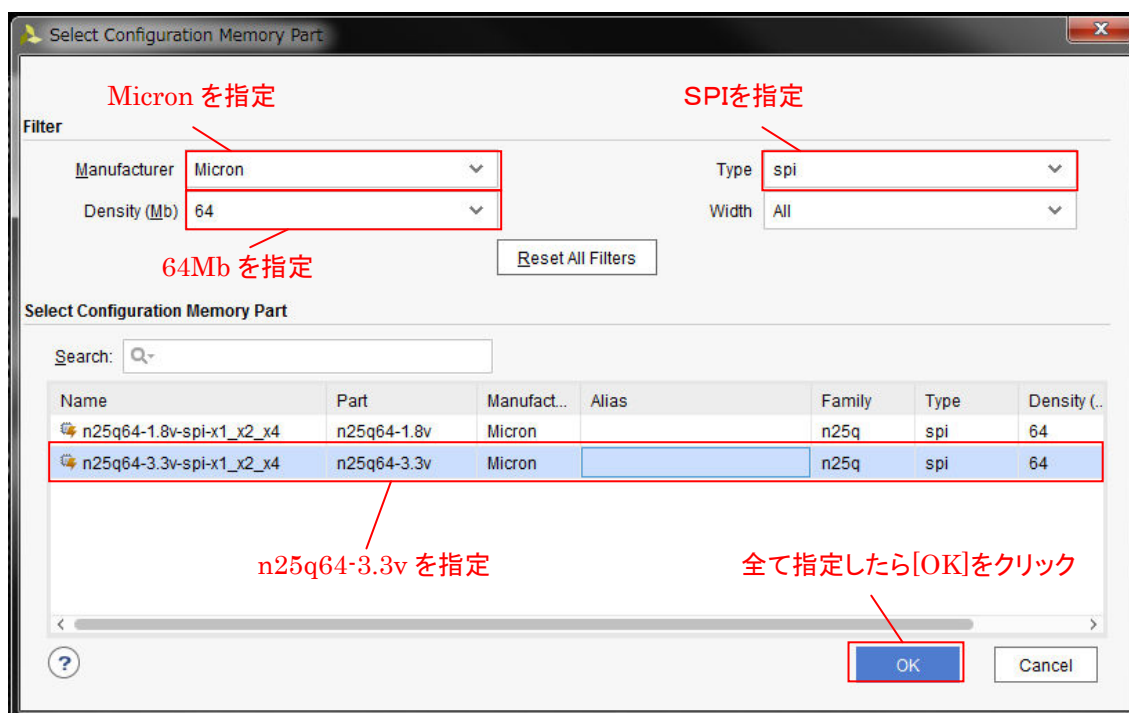
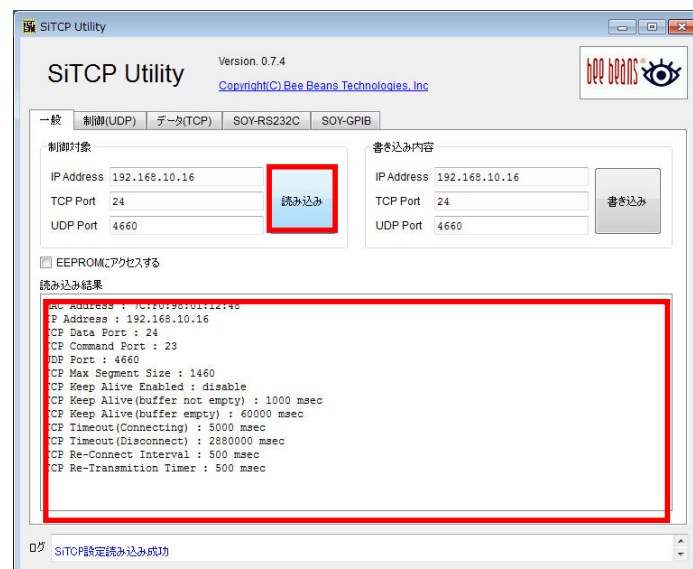


図 4-3 Select Configuration Memory Part ダイアログ

5. ダウンロード

MCS ファイルをダウンロードする際は、イーサネット経由で行います。SOY2 の IP アドレスは初期値やデフォルトは 192.168.10.16 です。変更していない場合は PC の IP アドレスを 192.168.10.254、サブネット 255.255.255.0 等のように同一ネットワークに設定します。以下の手順でダウンロードを行います。

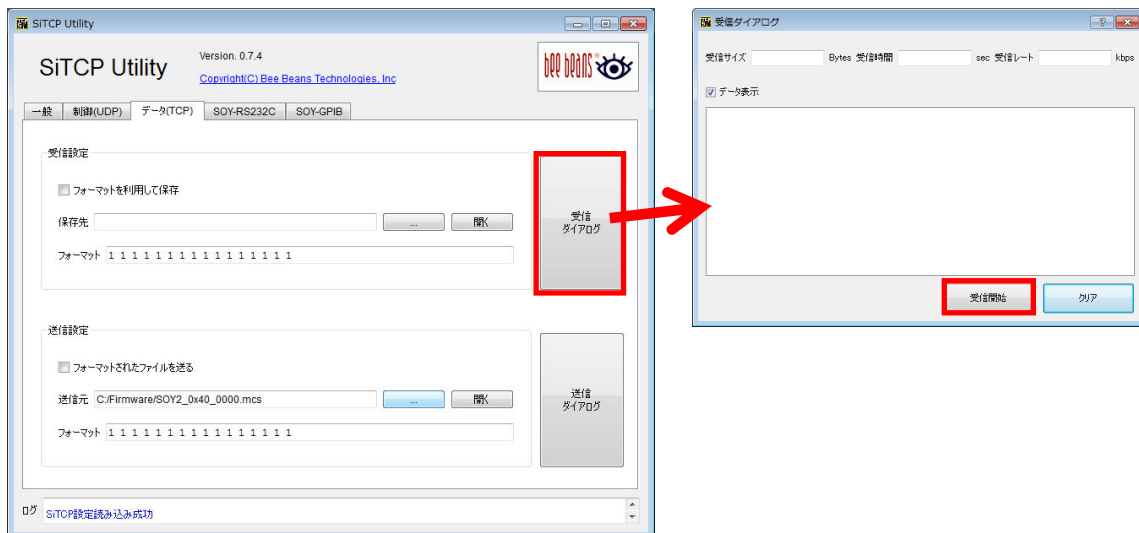
1. SOY2のディップスイッチ4をONにします。
2. イーサネットケーブルでPCと接続した後、電源を接続して本ボードを起動します（緑LEDが点滅します）。
3. PCで「SiTCP Utility」を起動して[一般]タブの[読み込み]ボタンをクリックし、読み込み結果が表示されることを確認します。



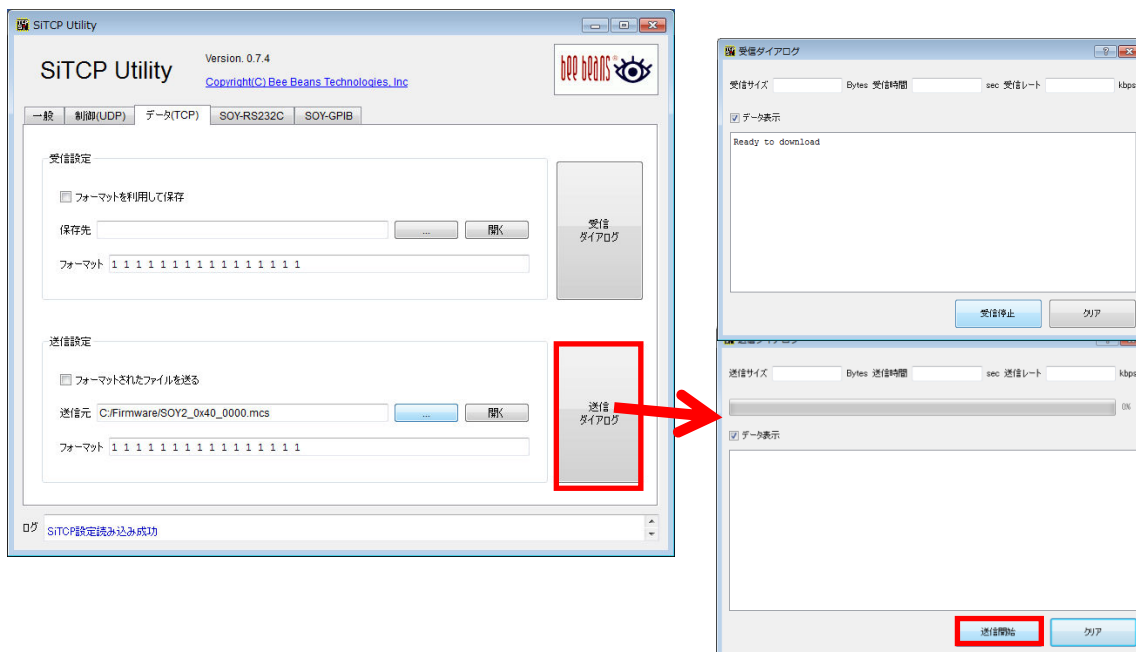
4. [データ(TCP)]タブの「送信設定」部分にある[...]ボタンをクリックし、Flashメモリに書き込むファイルを選択しておきます。



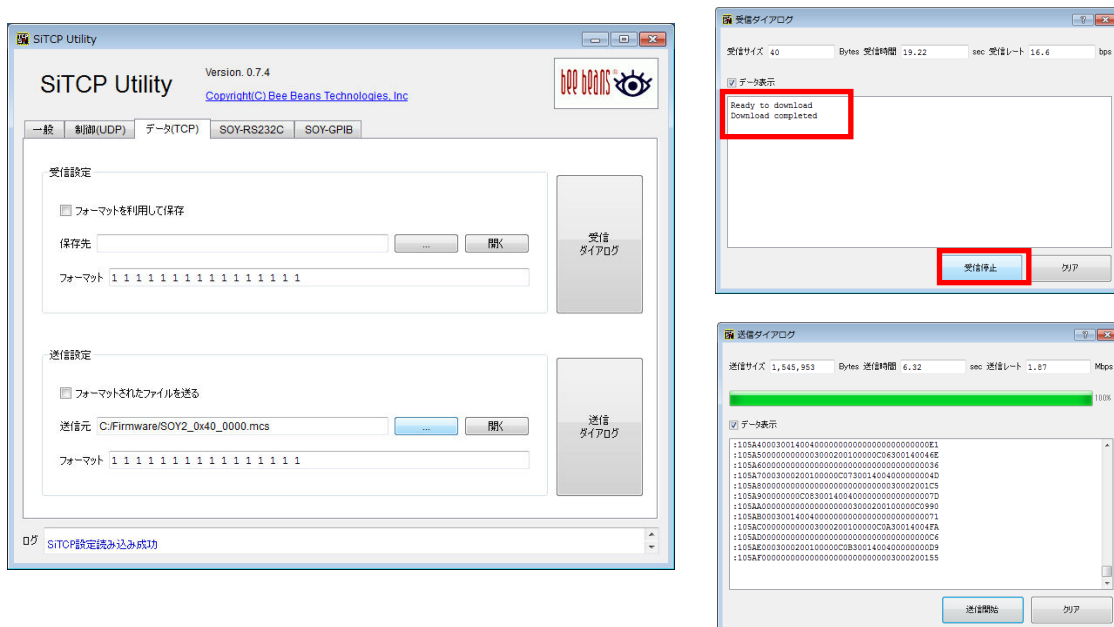
5. [データ(TCP)]タブ内の[受信ダイアログ]をクリックして受信ダイアログウィンドウを開き、[受信開始]ボタンをクリックします(黄LEDが点灯し、「Ready to download」と表示されます)。



6. [データ(TCP)]タブ内の[送信ダイアログ]をクリックして送信ダイアログウィンドウを開き、[送信開始]ボタンをクリックして送信を開始します。



7. 送信が正常に終了すると受信ダイアログウィンドウに「Download completed」と表示されます。受信ダイアログウィンドウの[受信停止]ボタンをクリックした後、ウィンドウを閉じます。



6. RBCP(UDP)アクセス

RBCP を用いてデザインのバージョンの確認や設定、Flash メモリの内容の確認を行います。表 6-1 に RBCP のメモリマップを示します。通常は操作する必要はありません。

表 6-1 RBCP のメモリマップ

アドレス (HEX)		BYTE	用途
開始	終了		
0x00000000	0x00000003	4	Version Register
0x00000004	0x0000000F	12	Name Register
0x00000010	0x00000010	1	Control Register
0x00000011	0x00000011	1	Status Register
0x00000012	0x00000013	2	Error Code Register
0x00000014	0x00000017	4	Checksum Register
0x00000018	0x0000001B	4	Boot Top Address Register
0x0000001C	0x0000001F	4	Update Address Register
0x00000020	0x0000003F	32	未使用
0x00000040	0x00FFFFFF	8,388,544	未実装
0x01000000	0x017FFFFFFF	8,388,604	Flash メモリ

6.1. Version Register (0x00000000～0x00000003)

FPGA のバージョンを区別する ID です。現仕様では初めの 1byte は年の下二桁、次の 1 バイトは月、続く 1byte は日、最後の 1byte はメジャーバージョンという構成になります。年月日はバージョンの新旧を区別する程度で、合成された日付と同じとは限りません。最後の 1byte の上位ニブルが同じである範囲では基本的に互換である事を示します。現在の最終 byte の値は 0x10 です。

6.2. Name Register (0x00000004～0x0000000F)

デザインの名前を ASCII で設定してあります。現在設定されている値は、「SOY2 Loader1」です。

6.3. Control Register (0x00000010)

本デザインの動作を指定します。通常は使用しない Checksum の機能を有効にする場合は MSK_SUM を 0 に設定し、ダウンロード前に Checksum Register へ checksum の値を書き込んで下さい。なお、Checksum はダウンロード完了時に確認され、一致しなかった場合にエラー表示するのみとなります(書き込む値をチェックしているため、Flash メモリに書き込まれた値を保証するものではありません)。

bit0 の BOOT ビットを 1 に設定するとユーザ用デザインを起動します。通常、Flash メモリの 0x01400000 から起動しますが、Boot Top Address Register (6.7 参照)を変更することで起動するアドレスを変更できます。

表 6-2 Control Register のビットマップ

ビット位置	シンボル	意味
bit7	MSK_SUM	0:Checksum 利用 1:Checksum 利用しない
bit6	NU	未使用
bit5	NU	未使用
bit4	NU	未使用
bit3	NU	未使用
bit2	NU	未使用
bit1	NU	未使用
bit0	BOOT	0:何もしない 1:ユーザデザインの起動

6.4. Status Register (0x00000011)

本デザインの状態を示すレジスタです。bit0 で Flash メモリへのダウンロード状態 (3.8 3色 LED のオレンジと同様)を表します。

表 6-3 Control Register のビットマップ

ビット位置	意味
bit7	未使用
bit6	未使用
bit5	未使用
bit4	未使用
bit3	未使用
bit2	未使用
bit1	未使用
bit0	0:ダウンロード完了 1:ダウンロード可能またはダウンロード中

6.5. Error Code Register (0x00000012～0x00000013)

ダウンロード時に発生したエラーの有無を確認するためのレジスタです(表 6-4)。本レジスタの値は TCP セッション確立時、または bit15 が 1 になった時に更新されます。また、TCP セッション切断時には前のエラー内容を保持します。

表 6-4 Error Code Register のビットマップ

ビット位置	意味
bit15	0: 全てのエラーなし 1: 下記 bit14-bit0 のいずれかにエラーが存在する
bit14	0: エラーなし 1: Flash メモリのオペレーションエラー
bit13	0: エラーなし 1: 次のデータが不達のまま 10 秒以内に TCP セッションが切断された または、次のデータが不達かつ TCP セッション接続状態で 10 秒以上経過
bit12	0: エラーなし 1: TCP セッション確立後、ダウンロードを開始せずにセッションが切断された または、TCP セッション確立後ダウンロードを開始しないまま 60 秒以上経過
bit11	0 固定
bit10	0 固定
bit9	0 固定
bit8	0: エラーなし 1: ダウンロード時のチェックサムエラー (Control Register (0x00000010) の bit7 が 1 の場合に適用)
bit7	0: エラーなし 1: FPGA コンフィギュレーション用同期ワードの不検知
bit6	0: エラーなし 1: アドレス不連続
bit5	0: エラーなし 1: アドレス範囲エラー
bit4	0: エラーなし 1: スタートアドレス不一致
bit3	0: エラーなし 1: MCS ファイル内のチェックサムエラー
bit2	0: エラーなし 1: アドレスのロールオーバー
bit1	0: エラーなし 1: 拡張アドレスが見つからない・拡張アドレスのレコード長不正
bit0	0: エラーなし 1: シンタックスエラー

6.6. Checksum Register (0x00000014～0x00000017)

Control Register の MSK_SUM を 0 に設定した場合のみ有効です。本レジスタに checksum の値(7.1 参照)を書き込んだ後にダウンロードを行って下さい。なお、Checksum はダウンロード完了時に確認され、一致しなかった場合にエラー表示するのみとなります(書き込む値をチェックしているため、Flash メモリに書き込まれた値を保証するものではありません)。

6.7. Boot Top Address Register (0x00000018～0x0000001B)

本レジスタの初期値は 0x01400000 であり、設定できる範囲は 0x01400000～0x017FFFFF です。ダウンロードはこのアドレスから Flash メモリに書き込み、ユーザ用デザインの起動もこのアドレスから行います。なお、MCS ファイルの先頭アドレスが本レジスタの下位 24bit と一致しないとダウンロードは失敗となります。

6.8. Update Address Register (0x0000001C～0x0000001F)

ダウンロード実行中、データが転送されている当該アドレスを表示します。本アドレスは読み出し専用です。

7. 付録

7.1. Checksum の値について

Checksum Register(6.3 および 6.6 参照)を利用する場合、以下の手順に従って値を設定してください。

1. MCSファイルを作成する(「4 MCSファイル」参照)。
2. MCSファイルが保存されているフォルダに、拡張子が.prmとなっているファイルがあるので、テキストエディタで開く。
3. Checksumの値(図7-1の赤で囲んだもの)をRBCPでChecksum Registerへ書き込む。
4. MCSファイルのダウンロードを行う(「5 ダウンロード」参照)。

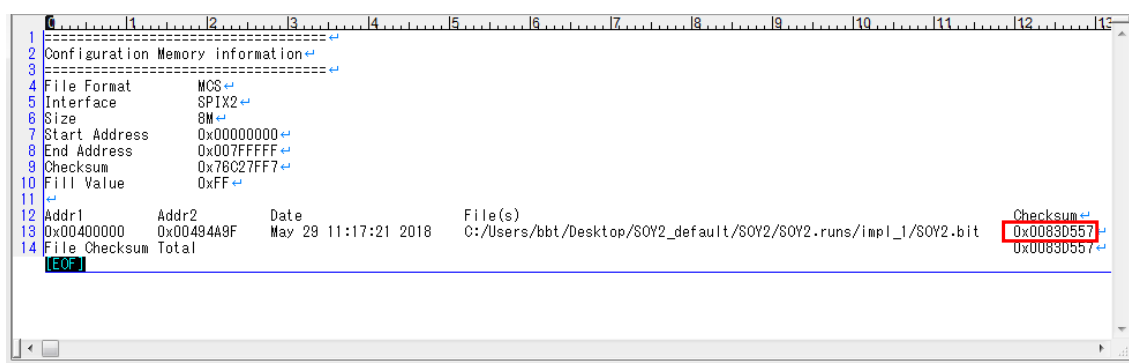


図 7-1 Checksum Register に書き込む値 (prm ファイル内)