

SOY2-D1

BBT-024

機能仕様書



2020年09月24日 1.4版

(株)Bee Beans Technologies

改版履歴

版数	日付	内容
1.0	2019年01月24日	初版
1.1	2019年12月12日	軽微な変更
1.2	2020年07月13日	Firmwareの説明を追加
1.3	2020年08月20日	端子配置の説明追加
1.4	2020年09月24日	誤記訂正

目次

1. 概要	1
2. SOY2-D1 の機能概要	2
3. 各部の説明・ピンアサイン	2
3.1. Analog-Digital 変換	3
3.2. Digital-Analog 変換	4
3.3. コンパレータ(TTL 入力)	5
3.4. デバッグ用 LED	6
3.5. Digilent Pmod™コネクタ	6
3.6. J5(FX2 コネクタ)	7
4. J5(FX2 コネクタ)のピン配置	8
5. Firmware 説明	9
5.1. 階層構造	9
5.2. 各モジュールの機能と入出力	10
5.2.1 REBOOT	10
5.2.2 TIMER	10
5.2.3 WRAP_SiTCP_GMII_XC7S_32K	10
5.2.4 REG_CTL	11
5.2.5 DAC_CTL	12
5.2.6 ADC_CTL	12
5.3. REG_CTL によるレジスタマップ	13
5.4. DAC_CTL, ADC_CTL の使い方	14

1. 概要

本資料は SOY シリーズ用の評価基板 SOY2-D1(以後、本ボード)の仕様を記述するものです。

表 1-1-1 SOY2 (BBT-022)用評価基板 SOY2-D1(BBT-024)の仕様

部品名	仕様		品番
ADC	サンプリングレート	1 MSPS	ADS7253IPWR
	分解能	12bit	
	ADC 数	2CH	
	チャンネル数	2CH	
DAC	分解能	12bit	MCP4728A0T-E/UN
	チャンネル数	4CH	
コンパレータ	全チャンネル数: 4CH		SN65LVDS33PWR
	MRCC 接続 CH 数	2CH	
	SRCC 接続 CH 数	1CH	
	汎用 I/O 接続 CH 数	1CH	
LED	発光色	GREEN	
	チャンネル数	4CH	
Pmod™コネクタ	多種多様なモジュールを接続可能な I/O コネクタ		(未実装)
	コネクタタイプ	12ピン	
	汎用 I/O 数	8 Digital I/O	
FX2 コネクタ	SOY-2 との接続に使用するコネクタ		FX2-100S-1.27DS

※ Pmod™とは、Digilent 社の IO インタフェース仕様です。Digilent Pmod™Compatible.

※ 互換品を使用する場合があります。

2. SOY2-D1 の機能概要

本ボードは、SOY シリーズ製品のデータ収集方法習得・簡易的なデータ収集・及びユーザによるデバッグを目的とした各種機能を搭載したインターフェースボードです。

以下に本ボードの概略図を示します。

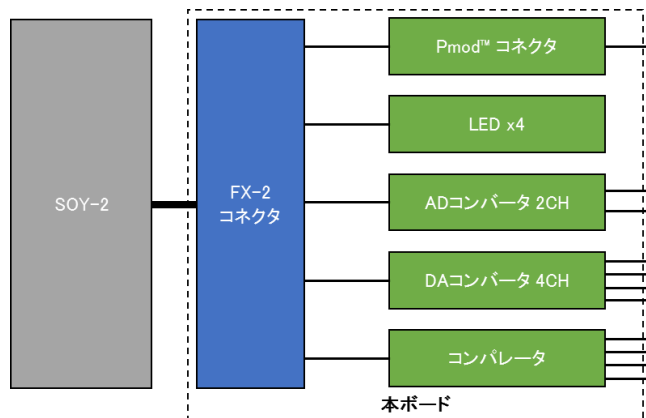
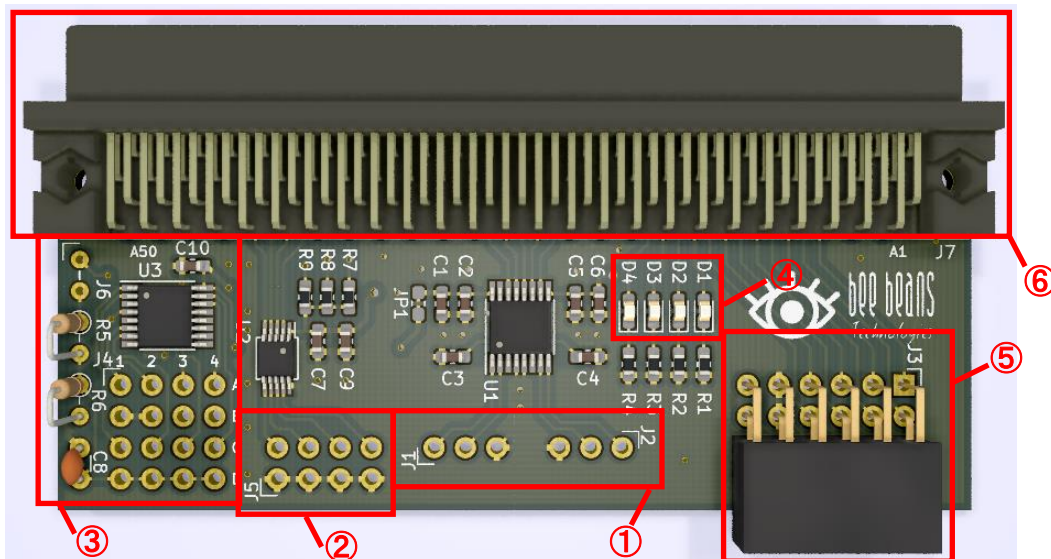


図 2-1 本ボードの概略図

3. 各部の説明・ピンアサイン

本ボードに実装されている部品について説明します。



- | | |
|---------------------|------------------|
| ① Analog-Digital 変換 | ④ デバッグ用 LED |
| ② Digital-Analog 変換 | ⑤ Pmod™コネクタ(未実装) |
| ③ コンパレータ | ⑥ J7(FX2 コネクタ) |

図 3-1 各部の位置

3.1. Analog-Digital 変換

本ボードには 2 回路の Analog-Digital 変換素子(ADS7253)が実装されています。1 MSPS、12 ビットでの同時サンプリングが可能です。シングルエンド/疑似差動入力に対応しています。通信プロトコルなどの詳細は変換チップ ADS7253 のデータシートを参照してください。

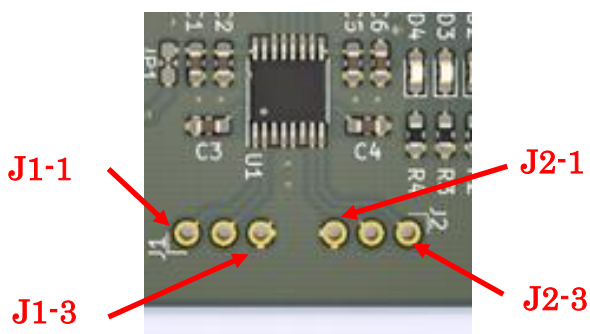


図 3-2 Analog-Digital 変換用端子の位置

表 3-1 Analog-Digital 変換用端子の説明

リファレンス	ピン番号	信号名	説明
J1	1	AINP-A	A チャンネル ADC の+入力
	2	AINM-A	A チャンネル ADC の-入力
	3	GND	グラウンド
J2	1	AINP-B	B チャンネル ADC の+入力
	2	AINM-B	B チャンネル ADC の-入力
	3	GND	グラウンド

3.2. Digital-Analog 変換

本ボードには 4 回路の Digital-Analog 変換素子(MCP4728)が実装されています。12bit の分解能があり 0~2.048V の範囲で出力できます。出力段にオペアンプが搭載されているため、信号源として使用できます。通信プロトコルなどの詳細は変換チップ MCP4728 のデータシートを参照してください。

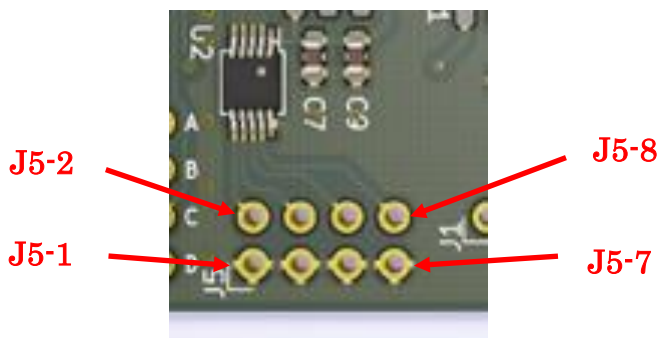


図 3-3 Digital-Analog 変換用端子の位置

表 3-1 Digital-Analog 変換用端子(J5)配置

ピン番号	信号名	説明
1	GND	グラウンド
2	V _{OUT-A}	A チャンネル DAC 出力
3	GND	グラウンド
4	V _{OUT-B}	B チャンネル DAC 出力
5	GND	グラウンド
6	V _{OUT-C}	C チャンネル DAC 出力
7	GND	グラウンド
8	V _{OUT-D}	D チャンネル DAC 出力

3.3. コンパレータ(TTL 入力)

電源入力範囲の広いコンパレータを 4 チャンネル搭載しています。通常の比較器としての利用の他、抵抗を追加で取り付けの事により TTL などの入力としても使用できます。(また、外部電源と分圧抵抗を使用することで、NIM 入力も可能です。)

4CH のうち、3CH はクロック兼用ピンに接続されているため、外部クロック入力としても使用できません。

TTL 等の基準電圧のための抵抗・コンデンサは出荷状態では実装されていません。ユーザが必要な仕様で値を決定してください。

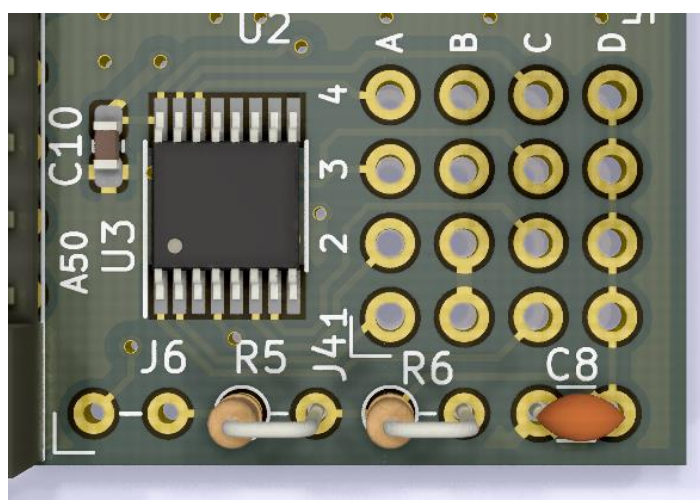


図 3-2 コンパレータ周辺図(抵抗・コンデンサは未実装)

表 3-1 コンパレータ用端子(J4)配置

ピン番号	信号名	説明
A1	1A	チャンネル1の+側端子
A2	2A	チャンネル2の+側端子
A3	3A	チャンネル3の+側端子
A4	4A	チャンネル4の+側端子
B1-B4	GND	グラウンド
C1	1B	チャンネル1の一側端子
C2	2B	チャンネル2の一側端子
C3	3B	チャンネル3の一側端子
C4	4B	チャンネル4の一側端子
D1-D4	V _{TH}	基準電圧用端子(C列と短絡して使用)

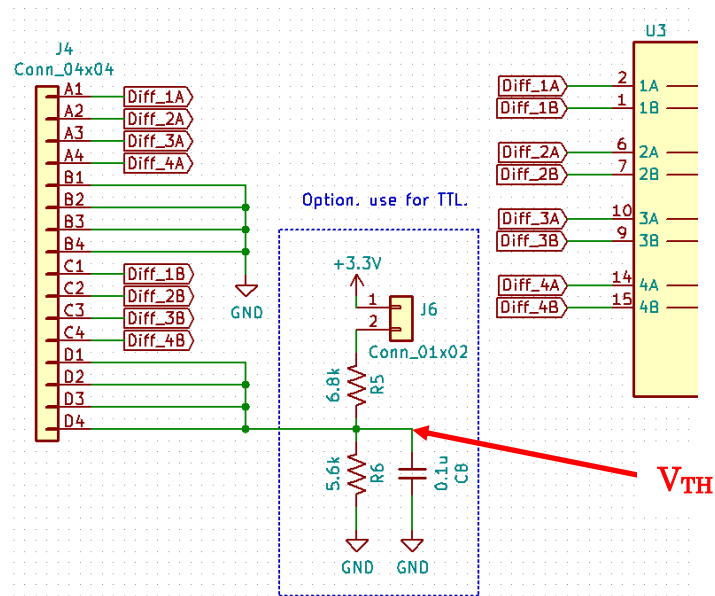


図 3-3 V_{TH} を TTL 入力用にする場合の抵抗値および周辺回路図

3.4. デバッグ用 LED

本ボードにはデバッグ用の LED を 4CH 搭載しています。発光色は緑です。ユーザのデバッグ等に使用できます。

3.5. Digilent Pmod™コネクタ

Digilent Pmod™規格に適合したコネクタ・スペースです。出荷状態でコネクタは実装されていません。FPGA の推奨動作条件+3.465V を超えないようにして下さい。

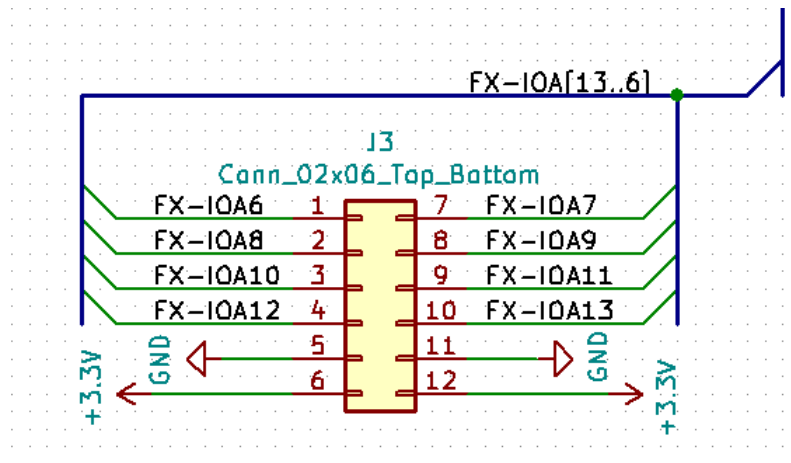


図 3-4 Pmod™規格準拠コネクタのピンアサイン

3.6. J5(FX2 コネクタ)

J5 のコネクタは、FX2-100P-1.27DS(ヒロセ)です。本コネクタには+5V 電源、+3.3V 電源、FPGA のピンが接続されています。+5V は電源入力としても電源出力としても使用できます。DC コネクタから電源供給する場合は出力となります。DC コネクタから電源供給しない場合は FX2 の+5V ピンから電源を供給して下さい。SOY2 内部では+5V の許容値は 4.5V~10V です。

+3.3V は SOY2 の基板に内蔵されている電源の出力です。入力できません。取り出せる電流は SOY2 内で使用する電流も含めて 3A 未満となります。

未接続(NC)を除くその他の端子は FPGA の 3.3V バンクに接続されています。FPGA の推奨動作条件+3.465V を超えないようにして下さい。ピン配置を「4 J5(FX2 コネクタ)のピン配置」に示します。

4. J5(FX2 コネクタ)のピン配置

表 4-1 FPGA ピンと配線の対応表

FX2	SOY2-FPGA	回路図 信号名	用途	用途先 信号名	FX2	SOY2-FPGA	回路図 信号名	用途	用途先 信号名				
A1	+3.3V				B1	GND							
A2					B2								
A3					B3								
A4					B4								
A5					B5								
A6	M3	FX-IOA6	Pmod	Pin1	B6	GND							
A7	P2	FX-IOA7		Pin7	B7								
A8	N1	FX-IOA8		Pin2	B8								
A9	M2	FX-IOA9		Pin8	B9								
A10	M1	FX-IOA10		Pin3	B10								
A11	K3	FX-IOA11		Pin9	B11								
A12	L3	FX-IOA12	Pin4	B12									
A13	L1	FX-IOA13	Pin10	B13									
A14	L2	FX-IOA14	LED	D1	B14								
A15	K4	FX-IOA15		D2	B15								
A16	J3	FX-IOA16		D3	B16								
A17	J4	FX-IOA17		D4	B17								
A18	J1	FX-IOA18			B18								
A19	J2	FX-IOA19			B19								
A20	H1	FX-IOA20			B20								
A21	F3	FX-IOA21			B21								
A22	H3	FX-IOA22			B22								
A23	G1	FX-IOA23			ADC					SDI	B23		
A24	F2	FX-IOA24								CS	B24		
A25	F1	FX-IOA25								SCLK	B25		
A26	E2	FX-IOA26								SDO_A	B26		
A27	F4	FX-IOA27								SDO_B	B27		
A28	D3	FX-IOA28			B28								
A29	E4	FX-IOA29			B29								
A30	D1	FX-IOA30			B30								
A31	D2	FX-IOA31			B31								
A32	D4	FX-IOA32			B32								
A33	C1	FX-IOA33			B33								
A34	C3	FX-IOA34			B34								
A35	B1	FX-IOA35			B35								
A36	B2	FX-IOA36			B36								
A37	A2	FX-IOA37			B37								
A38	B3	FX-IOA38	B38										
A39	A3	FX-IOA39	DAC	SCL	B39								
A40	C4	FX-IOA40		SDA	B40								
A41	A4	FX-IOA41		LDAC	B41								
A42	B5	FX-IOA42		RDY/BSY	B42								
A43	A5	FX-IOA43	Comp	4Y	B43								
A44	C5	FX-IOA44		B44									
A45	B6	FX-IOA45		B45									
A46	G4*	FX2-CLK0	Comp	2Y	B46					H2*	FX2-CLK1	Comp	3Y
A47					B47					GND			
A48					B48					H4*	FX2-CLK2	Comp	1Y
A49					B49					+5V			
A50	+5V				B50					GND			

* FPGA のクロック兼用 I/O です(MRCC/SRCC)

5. Firmware 説明

本ボードで利用できる Firmware について説明します。この Firmware は SiTCP に加え、SOY2-D1 の機能である Pmod™, LED, コンパレータ, AD 変換, DA 変換を制御が可能なモジュールを搭載した Firmware になります。

5.1. 階層構造

図 5-1 に Firmware の階層構造を示します。SOY2-D1 をトップモジュールとし、その下に 6 つのモジュールが配置されています。

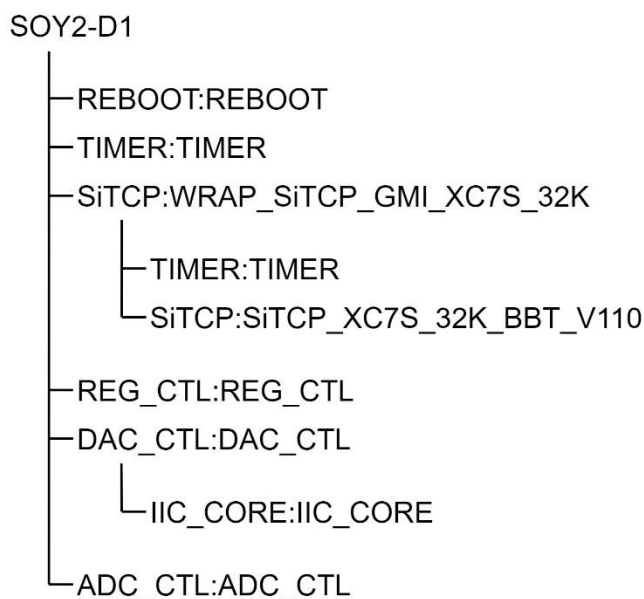


図 5-1 Firmware の階層構造

5.2. 各モジュールの機能と入出力

5.2.1 REBOOT

SOY2 の再起動を行います。

表 5-1 REBOOT モジュールの入出力

I/O	変数名	説明
input	CLK_IN	クロックの入力
input	CFG_CLK_IN	FPGA の再構成用クロック(100MHz 以下)
input	RESET_IN	REOOT の初期化
input	REBOOT_IN	再起動のリクエスト
parameter	CLOCK_FREQUENCY	クロックの周波数 [MHz]を設定

5.2.2 TIMER

1us, 1ms, 1s, 1 分をカウントするタイマーです。

表 5-2 TIMER モジュールの入出力

I/O	変数名	説明
input	CLK	クロックの入力
input	RST	タイマーの初期化
output	TIM_1US	1 μ s毎に 1 clock の間、HIGH になる
output	TIM_1MS	1 ms 毎に 1 clock の間、HIGH になる
output	TIM_1S	1 s 毎に 1 clock の間、HIGH になる
output	TIM_1M	1 分毎に 1 clock の間、HIGH になる
parameter	TIM_PERIOD[7:0]	クロックの周波数 [MHz] - 2 を設定

5.2.3 WRAP_SiTCP_GMII_XC7S_32K

SiTCP のラッパーです。SiTCP 説明書と SiTCP ライブラリの使い方を参照してください。

(<http://esysinfo00.kek.jp/SiTCP/>)

5.2.4 REG_CTL

RBCP にアクセスします。SOY2-D1 で取得した値や出力する値もこのモジュールを介して RBCP にアクセスされます。

表 5-3 REG_CTL モジュールの入出力

I/O	変数名	説明
input	SYSCLK_IN	クロックの入力
input	RESET_IN	REG_CTL の初期化
input	RBCP_ACT_IN	RBCP のアクティブ入力
input	RBCP_ADDR_IN[31:0]	RBCP のアドレス
input	RBCP_WD_IN[7:0]	RBCP のデータ
input	RBCP_WE_IN[7:0]	RBCP の書き込みリクエスト
input	RBCP_RE_IN[7:0]	RBCP の読み取りリクエスト
output	RBCP_ACK_OUT	RBCP アクセス有効
output	RBCP_RD_OUT[7:0]	RBCP 読み取りデータ
output	BOOT_REQ_OUT	Boot リクエスト
input	SOY2_D1_COMP_IN[7:0]	SOY2-D1 のコンパレータ入力値
output	REG_D1_DAC_A[11:0]	SOY2-D1 の DAC A チャンネル出力値
output	REG_D1_DAC_B[11:0]	SOY2-D1 の DAC B チャンネル出力値
output	REG_D1_DAC_C[11:0]	SOY2-D1 の DAC C チャンネル出力値
output	REG_D1_DAC_D[11:0]	SOY2-D1 の DAC D チャンネル出力値
input	SOY2_D1_ADC_A_IN[11:0]	SOY2-D1 の ADC A チャンネル入力値
input	SOY2_D1_ADC_B_IN[11:0]	SOY2-D1 の ADC B チャンネル入力値
output	P1_WEN[11:0]	RBCP 書き込み有効
output	REG_WDT[7:0]	RBCP 書き込みデータ
parameter	VERSION	FPGA バージョン
parameter	FPGA_NAME	FPGA 名

5.2.5 DAC_CTL

SOY2-D1 の DA コンバータを制御し、アナログ信号を出力するためのモジュールです。

表 5-4 DAC_CTL モジュールの入出力

I/O	変数名	説明
input	CLK_IN	クロックの入力
input	RESET_IN	DLC_CTL の初期化
output	IIC_SCL_OUT	I2C インタフェース(SCL)
input	IIC_SDA_IO	I2C インタフェース(SDA)
input	DAC_WDT[11:0]	DAC から出力する値
input	DAC_CH[1:0]	DAC のチャンネル選択(00:1ch, 01:2ch, 10:3ch, 11:4ch)
input	DAC_REQ	DAC_CTL に送信するリクエスト
output	DAC_RAK_OUT	DAC_CTL がリクエストを受け取った時の ACK
parameter	FREQUENCY	クロックの周波数 [MHz]を設定

5.2.6 ADC_CTL

SOY2-D1 の AD コンバータを制御し、アナログ信号を取得することができます。

表 5-5 ADC_CTL モジュールの入出力

I/O	変数名	説明
input	CLK_IN	クロックの入力
input	RESET_IN	SPI_CORE の初期化
input	SPI_REQ_IN	SPI_CORE に送信するリクエスト
input	SPI_CFG_REG_IN[15:0]	SPI Configuration Register の値 (default : 0b 1000_0010_0100_0000)
output	SPI_RAK_OUT	SPI_CORE がリクエストを受け取った時の ACK
output	SPI_RDT_A_OUT[11:0]	Channel A から読んだデータ
output	SPI_RDT_B_OUT[11:0]	Channel B から読んだデータ
output	SPI_RVL_OUT	SPI の読み取りが有効
output	SPI_CLK_OUT	SPI インタフェース(CLK)

output	SPI_CSn_OUT	SPI インタフェース(Chip select)
output	SPI_MOSI_OUT	SPI インタフェース(MOSI)
input	SPI_MISO_A	SPI インタフェース(MISO_A)
input	SPI_MISO_B	SPI インタフェース(MISO_B)
parameter	FREQUENCY	クロックの周波数 [MHz]を設定
parameter	DRIVE	出力バッファの電流強度
parameter	IOSTANDARD	I/O Standard
parameter	SLEW	出力バッファスルーレート

5.3. REG_CTL によるレジスタマップ

SiTCP Utility を用いて表 5-6 のアドレスにアクセスすることで SOY2-D1 のセンサー値取得や制御を行うことができます。

表 5-6 REG_CTL のレジスタマップ

アドレス	R/W	
0x10	R/W	1bit 目が 1 で REBOOT
0x11	R/W	LED 0~3 を制御
0x12	R	コンパレータ 1Y~4Y の値を格納
0x13	R/W	Pmod1~4, 7~10 を制御
0x14	R/W	DAC A チャンネルの上位 4bit を制御
0x15	R/W	DAC A チャンネルの下位 8bit を制御
0x16	R/W	DAC B チャンネルの上位 4bit を制御
0x17	R/W	DAC B チャンネルの下位 8bit を制御
0x18	R/W	DAC C チャンネルの上位 4bit を制御
0x19	R/W	DAC C チャンネルの下位 8bit を制御
0x1A	R/W	DAC D チャンネルの上位 4bit を制御
0x1B	R/W	DAC D チャンネルの下位 8bit を制御
0x1C	R	ADC A チャンネルの上位 4bit を格納
0x1D	R	ADC A チャンネルの下位 8bit を格納
0x1E	R	ADC B チャンネルの上位 4bit を格納
0x1F	R	ADC B チャンネルの下位 8bit を格納

5.4. DAC_CTL, ADC_CTL の使い方

5.4.1. DAC_CTL

DAC_REQ を HIGH にしたタイミングから DAC_RAK_OUT が HIGH になるまでの期間で DAC_WDT と DAC_CH の書き込みが有効となります。この期間に書き込みを行ってください。

図 5-2 のタイミングチャートを参照してください。

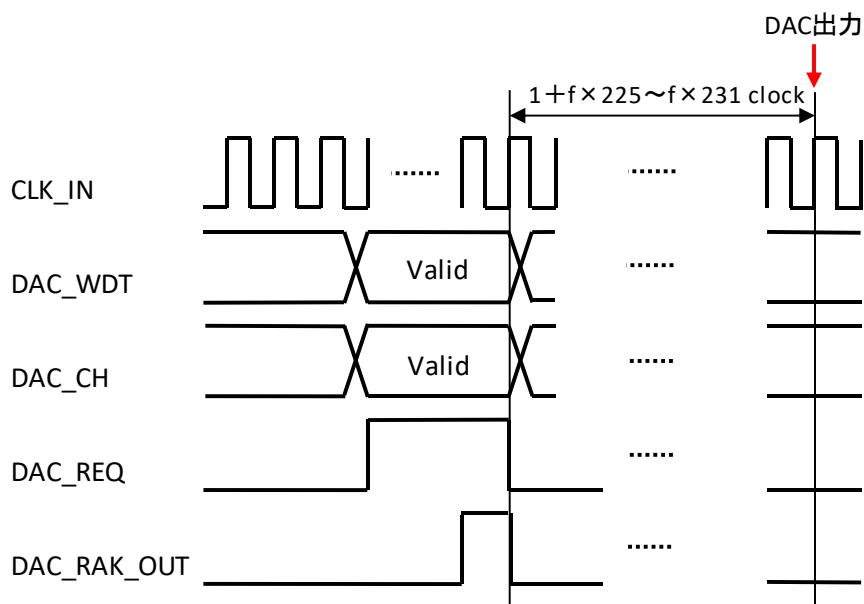


図 5-2 DAC_CTL モジュールのタイミングチャート

(f は parameter で設定可能な FREQUENCY の値である。default:200)

5.4.2. ADC_CTL

SPI_REQ_IN を HIGH にしてから SPI_RAK_OUT が HIGH になるまでの期間で SPI_CFG_REG_IN の書き込みが有効となります。この期間に書き込みを行ってください。SPI_RVL_OUT が HIGH になると SPI_RDT_A_OUT と SPI_RDT_B_OUT が有効となります。図 5-3 のタイミングチャートを参照してください。Configuration Register については ADS7253 のデータシートを参照してください。

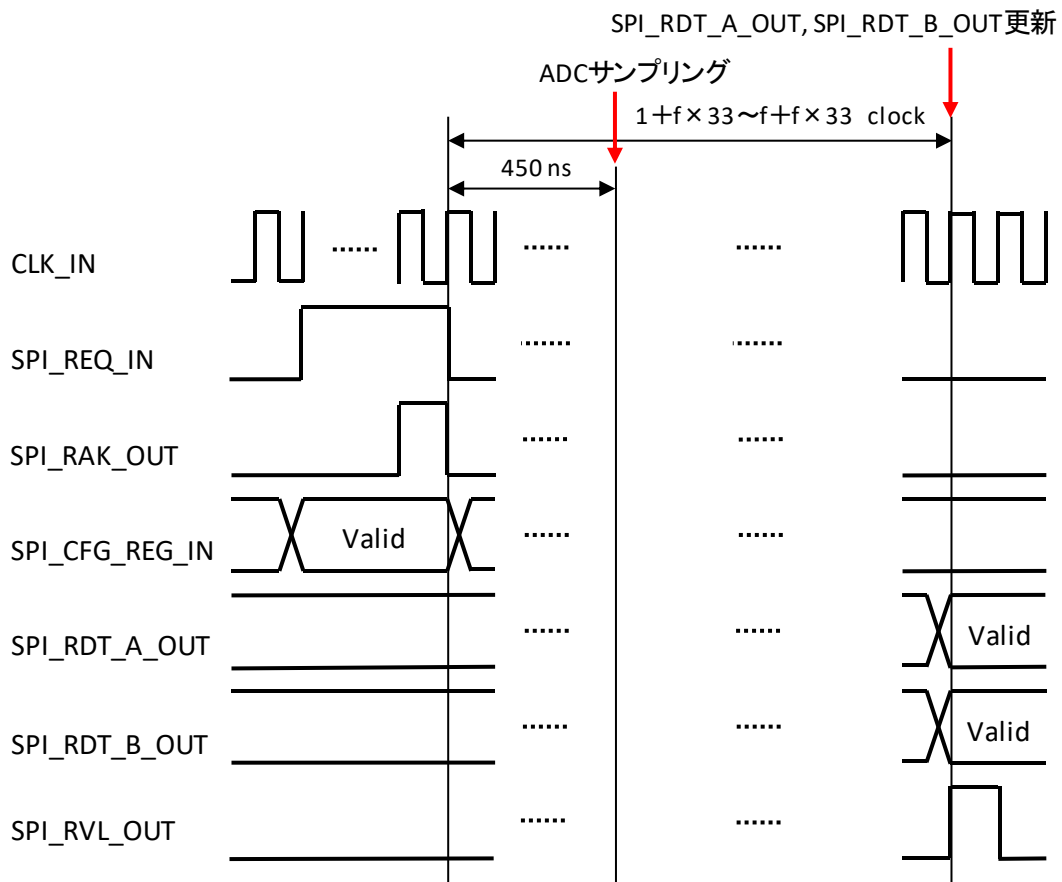


図 5-3 ADC_CTL モジュールのタイミングチャート

(f は parameter で設定可能な FREQUENCY の値である。default:200)