

MPGD-256ch-4M-Board 用
イベント方式(5Byte)ファームウェア

機器詳細仕様



2014 年 11 月 13 日 1.1 版

(株)Bee Beans Technologies

改版履歴

版数	FPGA Version	日付	内容
0.9	未定	2014 年 6 月 19 日	暫定版
1.0	14073101	2014 年 7 月 31 日	初版
1.1		2014 年 11 月 13 日	誤記修正

目次

1. 概要	1
2. 主な仕様	1
3. 入出力仕様	2
3.1. 電源コネクタ.....	3
3.2. Force Default スイッチ	3
3.3. Analog 出力コネクタ	3
3.4. T0 コネクタ.....	4
3.5. RESET コネクタ	4
3.6. CLOCK コネクタ.....	4
3.7. STATUS LED	5
3.8. CONDITION LED.....	5
3.9. Ethernet SpeedLED	5
3.10. Ethernet Active LED.....	6
3.11. Ethernet コネクタ	6
3.12. Input コネクタ.....	6
4. SiTCP(TCP)データ	9
4.1. イベントフォーマット	9
4.1.1. コインシデンスイベント.....	9
4.1.2. T0 フレームイベント.....	10
4.1.3. Time イベント.....	10
5. RBCP(UDP)アクセス.....	11
5.1. Version Register (0x0~0x3)	12
5.2. FPGA ID Register (0x4~0x7)	12
5.3. Revision Register(0x8~0xB).....	12
5.4. Control Register 0(0x10)	12
5.5. Control Register 1(0x11)	13
5.6. Monitor Select Register (0x12)	13
5.7. VTH Sequence Status Register (0x13).....	13
5.8. Board Temperature Register (0x14).....	13
5.9. FPGA Temperature Register (0x15).....	14
5.10. SRAM Initialize Sequence Status Register (0x16)	14
5.11. Extension Control Register (0x1D)	14
5.12. Command Register (0x1E).....	15
5.13. Calibration Enable Register (0x1F).....	16

5.14. Mask Register (0x20~0x3F)	17
5.15. Minimum TOF Register (0x40~0x43).....	17
5.16. Maximum TOF Register (0x44~0x47)	17
5.17. ASIC Register (0x100~0x1FF)	17
5.18. VTH Scan Histogram Memory(0x200~0x2FF)	17

1. 概要

本仕様書(以下本書)は MPGD-256ch-4M-Board(以下本基板)の仕様及び信号処理用に搭載されている FPGA(XC7K325T-2FFG900C)の機能を記載するものです。

2. 主な仕様

本装置の主要な仕様を表 2-1 に示します。

表 2-1 MPGD-256ch-4M-BoarD 仕様

項目	仕様		
入力アンプ	MPGD-ASD	チャンネル数	32ch
		入力電荷範囲	-0.01pC ~ -1.5pC
		ピーキングタイム	26ns(>-0.1pC) 49ns(-1.5pC)
		タイムウオーク	16ns
		ADC	6bit 32ch
		その他	Analog 出力、CAL 入力
FPGA	XC7K325T-2FFG900(信号処理、SiTCP、MPGD-ASD の制御等) Kintex-7 シリーズ Slice : 50,950 FlipFlop : 407,600 Memory : 16,020kbit		
Flash	N25Q128A (FPGA ファームウェアで使用) 128Mbit(256byte/page × 524,288page)		
SRAM	CY7C1612KV18-250BZXC (イベントデータバッファ) QDR II (Quad data rate II)メモリ 4Mword × 18bit × 2burst 200MHz		
電源	+12V ± 10% 2A		

3. 入出力仕様

本基板と外部を接続するコネクタ類の説明を表 3-1 に示します。

表 3-1 コネクタ類の機能

名称	仕様	説明
電源コネクタ (AC アダプタ用)	PJ-019(CUI) [EIAJ-Type4]	12V±10%(2A)の電源入力です。 B2PS-VH を使用する場合は、未使用となります。
電源コネクタ (電源装置用)	B2PS-VH(JST) [2pin 3.96mm pitch]	12V±10%(2A)の電源入力です。 PJ--019 を使用する場合は、未使用となります。
Force Default スイッチ	プッシュスイッチ	Force Default に状態を切り替えます。 約 1 秒スイッチを押すたびに状態を切り替えます
Analog 出力コネクタ	LEMO コネクタ (NIM-CAMAC CD/N 549)	MPGD-ASD の Analog Out を出力します。
RESET コネクタ		Fast NIM レベル入力です。 現仕様では未使用です
CLK コネクタ		Fast NIM レベル入力です。 現仕様では未使用です
T0 コネクタ(Fast NIM)		T0 パルスを Fast NIM レベルで入力します。
T0 コネクタ(TTL)		T0 パルスを TTL レベルで入力します。
STATUS LED	三連 LED(赤・黄・緑)	赤:リセット中(点灯)・Force Default(点滅) 黄:TCP セッション確立中(動作中点灯) 緑:RUN 表示(動作中点滅)
CONDITION LED	三連 LED(赤・黄・緑)	赤:拡張用(ファームウェア書き換え中) 黄:T0 パルス検出 緑:イベント検出
Ethernet Speed LED	二色発光 LED(緑・橙)	緑:1000BASE-T リンク 橙:100BASE-TX リンク 緑・橙:10BASE-T リンク
Ethernet Active LED	緑 LED	送受信時に点滅
Ethernet コネクタ	RJ45 コネクタ	1000BASE-T,100BASE-TX,10BASE-T に対応しています。
Input コネクタ	5 列×66pin 2mm pitch Connector	ReadOut 基板からの入力用コネクタ MPGD-ADC の入力端子に直接接続

3.1. 電源コネクタ

本基板は、+12V±10% (2A)単一電源で動作します。コネクタは EIAJ-Type4 のコネクタ(AC アダプタ用)と 3.96mm ピッチのナイロンコネクタ(電源装置接続用)の 2 種類を実装できますが、使用できるのはいずれか一方です。電源には過電圧保護のダイオード・PTC リセッタブル・ヒューズで構成される保護回路を設けてあります。

3.2. Force Default スイッチ

このスイッチは、通常使用しません。本装置の IP アドレスやポート番号が不明な場合などに強制的に初期状態にするために使用します。強制的な初期状態(Force Default 状態)は一時的なものであり、設定されている IP アドレスやポート番号は変更されませんので、通常状態に戻すと設定されている IP アドレスやポートアドレスが再度有効になります。Force Default での状態を表 3-2 に示します。

スイッチは1秒以上押下してください。スイッチを押下するたびに通常状態と Force Default 状態が交互に切り替わります。Force Default 状態では、Status LED の赤 LED が点滅します。

表 3-2 Force Default での設定値

項目	値
IPアドレス	192.168.10.16
SiTCP ポート番号 (TCP Port)	24
RBCP ポート番号 (UDP Port)	4660

3.3. Analog 出力コネクタ

MPGD-ASD からの Analog Out を選択し出力できます。50Ω 出力となっています。MPGD-ASD のどれを出力するかは RBCP のレジスタで設定できます。

出力電圧は、MPGD-ASD の開放時出力電圧の約 0.5 倍です。

3.4. T0 コネクタ

T0 入力用のコネクタは TTL レベルと Fast NIM レベルで 2 種類選択できます。デフォルトでは Fast NIM レベルとなっています。それぞれのコネクタの電氣的仕様を表 3-3 に示します。

TTL 信号の場合は、立上り(0 から 1 の変化)を基準とし、NIM レベルの場合は立下り(0 から 1 の変化)を基準とします。いずれの場合も、T0 の基準エッジの前 $6\mu\text{s}$ に変化がないことが必要です。

表 3-3 T0 信号の電氣的仕様

コネクタ	項目	仕様
T0 コネクタ(Fast NIM)	入力 H(論理 0)レベル電圧	-0.26V~5V
	入力 L(論理 1)レベル電圧	-4V~-0.54V
	入力インピーダンス	50Ω
	コネクタ形状	LEMO コネクタ (NIM-CAMAC CD/N 549)
T0 コネクタ(TTL)	入力 H(論理 1)レベル電圧	1.65V~5V
	入力 L(論理 0)レベル電圧	-4V~1.17V
	入力インピーダンス	10kΩ
	コネクタ形状	LEMO コネクタ (NIM-CAMAC CD/N 549)

3.5. RESET コネクタ

RESET コネクタは、Fast NIM レベル入力です。本仕様では未使用です。

コネクタ形状や電氣的仕様は、T0 コネクタの Fast NIM レベル入力と同じです。

3.6. CLOCK コネクタ

CLOCK コネクタは Fast NIM レベル入力です。本仕様では未使用です。

コネクタ形状や電氣的仕様は、T0 コネクタの Fast NIM レベル入力と同じです。

3.7. STATUS LED

STATUS LED は本基板の動作状態を示す三連の LED です。上から赤・黄・緑となっています。各 LED が表示する内容を表 3-4 に示します。

表 3-4 STATUS LED 仕様

発光色	仕様
赤	リセット中は点灯します。 Force Default 中は点滅します。
黄	TCP セッションが確立すると点灯します。
緑	FPGA が動作中は点滅します。

3.8. CONDITION LED

CONDITION LED は本基板の動作環境を示す三連の LED です。上から赤・黄・緑となっています。各 LED が表示する内容を表 3-5 に示します。

表 3-5 CONDITION LED 仕様

発光色	仕様
赤	ファームウェア書き換え中は点灯します。 (現仕様では点灯しません)
黄	T0 パルスを検出すると点灯します。
緑	イベント検出で点灯します。 (TCP セッションとは無関係に検出します)

3.9. Ethernet SpeedLED

Ethernet Speed LED は二色発光 LED であり、Ethernet のリンク状態とリンクスピードを表示します。

表 3-6 Link Speed LED 仕様

状態	仕様
緑点灯	1000BASE-T リンク 1Gbps
橙点灯	100BASE-TX リンク 100Mbps
緑・橙 同時点灯	10BASE-T リンク 10Mbps

3.10. Ethernet Active LED

Ethernet Active LED は緑単色 LED で Ethernet の通信状態を表示します。送受信があると点滅します。

3.11. Ethernet コネクタ

Ethernet コネクタは RJ45 コネクタであり、1000BASE-T,100BASE-TX,10BASE-T に対応しています。

3.12. Input コネクタ

Input コネクタは、チェンバ内の ReadOut 基板で検出した信号を入力するための、5 列 66pin のシールド付 2mm ピッチ・コネクタです。入力信号は直接 MPGD-ASD の入力端子に接続されます。

コネクタ内には GND だけでなく MPGD-ASD の電源も含まれるので、必要に応じて読み出し基板側で保護回路を設けることもできます。

なお、本コネクタは MPGD_FE2009 V1 基板と互換になっています。

表 3-7 Input コネクタ仕様

ピン番号	A 列	B 列	C 列	D 列	E 列	F 列
1	GND	GND	GND	GND	GND	GND
2	Ch0	Ch1	Ch2	Ch3	Ch4	GND
3	Ch5	Ch6	Ch7	Ch8	Ch9	GND
4	Ch10	Ch11	Ch12	Ch13	Ch14	GND
5	Ch15	Ch16	Ch17	Ch18	Ch19	GND
6	Ch20	Ch21	Ch22	Ch23	Ch24	GND
7	Ch25	Ch26	Ch27	Ch28	Ch29	GND
8	Ch30	Ch31	GND	GND	GND	GND
9	GND	GND	GND	GND	GND	GND
10	Ch32	Ch33	Ch34	Ch35	Ch36	GND
11	Ch37	Ch38	Ch39	Ch40	Ch41	GND
12	Ch42	Ch43	Ch44	Ch45	Ch46	GND
13	Ch47	Ch48	Ch49	Ch50	Ch51	GND
14	Ch52	Ch53	Ch54	Ch55	Ch56	GND
15	Ch57	Ch58	Ch59	Ch60	Ch61	GND
16	Ch62	Ch63	GND	GND	GND	GND

表 3-7 Input コネクタ仕様

ピン番号	A 列	B 列	C 列	D 列	E 列	F 列
17	GND	GND	GND	GND	GND	GND
18	Ch64	Ch65	Ch66	Ch67	Ch68	GND
19	Ch69	Ch70	Ch71	Ch72	Ch73	GND
20	Ch74	Ch75	Ch76	Ch77	Ch78	GND
21	Ch79	Ch80	Ch81	Ch82	Ch83	GND
22	Ch84	Ch85	Ch86	Ch87	Ch88	GND
23	Ch89	Ch90	Ch91	Ch92	Ch93	GND
24	Ch94	Ch95	GND	GND	GND	GND
25	GND	GND	GND	GND	GND	GND
26	Ch96	Ch97	Ch98	Ch99	Ch100	GND
27	Ch101	Ch102	Ch103	Ch104	Ch105	GND
28	Ch106	Ch107	Ch108	Ch109	Ch110	GND
29	Ch111	Ch112	Ch113	Ch114	Ch115	GND
30	Ch116	Ch117	Ch118	Ch119	Ch120	GND
31	Ch121	Ch122	Ch123	Ch124	Ch125	GND
32	Ch126	Ch127	GND	GND	GND	GND
33	GND	GND	GND	GND	GND	GND
34	Ch128	Ch129	Ch130	Ch131	Ch132	GND
35	Ch133	Ch134	Ch135	Ch136	Ch137	GND
36	Ch138	Ch139	Ch140	Ch141	Ch142	GND
37	Ch143	Ch144	Ch145	Ch146	Ch147	GND
38	Ch148	Ch149	Ch150	Ch151	Ch152	GND
39	Ch153	Ch154	Ch155	Ch156	Ch157	GND
40	Ch158	Ch159	GND	GND	GND	GND
41	GND	GND	GND	GND	GND	GND
42	Ch160	Ch161	Ch162	Ch163	Ch164	GND
43	Ch165	Ch166	Ch167	Ch168	Ch169	GND
44	Ch170	Ch171	Ch172	Ch173	Ch174	GND
45	Ch175	Ch176	Ch177	Ch178	Ch179	GND
46	Ch180	Ch181	Ch182	Ch183	Ch184	GND
47	Ch185	Ch186	Ch187	Ch188	Ch189	GND

表 3-7 Input コネクタ仕様

ピン番号	A 列	B 列	C 列	D 列	E 列	F 列
48	Ch190	Ch191	GND	GND	GND	GND
49	GND	GND	GND	GND	GND	GND
50	Ch192	Ch193	Ch194	Ch195	Ch196	GND
51	Ch197	Ch198	Ch199	Ch200	Ch201	GND
52	Ch202	Ch203	Ch204	Ch205	Ch206	GND
53	Ch207	Ch208	Ch209	Ch210	Ch211	GND
54	Ch212	Ch213	Ch214	Ch215	Ch216	GND
55	Ch217	Ch218	Ch219	Ch220	Ch221	GND
56	Ch222	Ch223	GND	GND	GND	GND
57	GND	GND	GND	GND	GND	GND
58	Ch224	Ch225	Ch226	Ch227	Ch228	GND
59	Ch229	Ch230	Ch231	Ch232	Ch233	GND
60	Ch234	Ch235	Ch236	Ch237	Ch238	GND
61	Ch239	Ch240	Ch241	Ch242	Ch243	GND
62	Ch244	Ch245	Ch246	Ch247	Ch248	GND
63	Ch249	Ch250	Ch251	Ch252	Ch253	GND
64	Ch254	Ch255	GND	GND	GND	GND
65	GND	GND	NC	+2.5V	-2.5V	GND
66	GND	GND	GND	GND	GND	GND

4. SiTCP(TCP)データ

SiTCP の IP アドレスとポート番号は、EEPROM に保存されていますが、Force Default スイッチで本装置を Force Default 状態に設定すると初期設定値でアクセスできます。初期設定値は、表 3-2 を参照してください。出荷時の IP アドレス、ポート番号も同じ値に設定してあります。設定値の変更は、SiTCP ユーティリティーを使用してください。

TCP のセッションを開いた後、イベントを検出すると PC へ送じます。

4.1. イベントフォーマット

本装置が出力するイベントは 40bit(5Byte)構成です。

4.1.1. コインシデンスイベント

コインシデンスイベントは、有効なイベントを認識すると発生します。TOF の有効桁は 22bit ですが、分解能 10ns,20ns,40ns に応じて bit 位置が補正されるため、10ns 単位の値として読み出せます。ただし、分解能が 10ns の場合の最大値は 0x3FBFFF(41msec)、20ns の場合は 0x7F7FFE(83msec)、40ns の場合は 0xFEFFFC(167msec)です。

X 座標、Y 座標はそれぞれ 8bit の領域がありますが、0～0x7F の範囲の値しかとりません。TOF の先頭の 8bit は 0x00～0xFE までの値とし、0xFF は別のフォーマットであることを示します。

TOF[24]		X[8]	Y[8]
TOF:	0x000000～0xFEFFFF	T0からイベント検出までの時間(10ns単位)	
X:	0x00～0x7F	検出X座標(中央値)	
Y:	0x00～0x7F	検出Y座標(中央値)	

図 4-1 コインシデンスイベントフォーマット

4.1.2. T0 フレームイベント

T0 フレームイベントは、T0 シグナルを検出した時点で生成されます。このイベント発生時に直前に破棄された T0 イベント数を TI に、その他の破棄されたイベントを LC に表示します。

損失が無い時、TI も LC も 0 となります。

0xFF00[16]	TI[8]	LC[16]
------------	-------	--------

0xFF00:	0xFF00	識別子 0xFF00固定
TI:	0x00~0xFF	T0イベント インターバル-1(通常0)
LC:	0x0000~0xFFFF	損失イベント数

図 4-2 T0 フレームイベントフォーマット

4.1.3. Time イベント

Time フレームイベントは、T0 シグナルを検出した時点で生成されます。このイベント発生時の時刻を msec 単位で表示します。

0xFF01[16]	Time(H)[24]
0xFF02[16]	Time(M)[24]

0xFF01:	0xFF01	識別子 0xFF01固定
0xFF02:	0xFF02	識別子 0xFF02固定
Time:	0x0000000000000~0xFFFFFFFF	時刻情報 1ms単位 Time(H)が上位24bit、Time(L)が下位24bit

図 4-3 Time イベントフォーマット

5. RBCP (UDP) アクセス

RBCP 用いてモジュールの各種設定をするレジスタにアクセスします。

RBCP で使用する IP アドレス(TCP と同じ)とポート番号は、EEPROM に保存されていますが、Force Default スイッチで本装置を Force Default 状態に設定すると、初期設定値でアクセスできます。初期設定値は、表 3-2 を参照してください。出荷時の IP アドレス、ポート番号も同じ値に設定してあります。設定値の変更は、SiTCP ユーティリティを使用してください。

表 5-1 RBCP でのメモリマップ

アドレス(HEX)		BYTE	用途
開始	終了		
0	3	4	Version Register
4	7	4	FPGA ID Register
8	B	4	Revision Register
C	F	4	未使用
10	10	1	Control Register 0
11	11	1	Control Register 1
12	12	1	Monitor Select Register
13	13	1	VTH Sequence Status Register
14	14	1	Board Temperature Register
15	15	1	FPGA Temperature Register
16	16	1	SRAM Initialize Sequence Status Register
17	1C	6	未使用
1D	1D	1	Extension Control Register
1E	1E	1	Command Register
1F	1F	1	Calibration Enable Register
20	3F	32	Mask Register
40	43	4	Minimum TOF Register
44	47	4	Maximum TOF Register
100	1FF	256	ASIC Register
200	2FF	256	VTH Scan Histogram Memory

5.1. Version Register (0x0～0x3)

この4Byteを読み出した値がファームウェアのバージョン番号です。バージョン番号は8ニブルの16進数で、基本的に初めの2ニブルが西暦の末尾2ケタを、次の2ケタが月を、次の2ケタが日を表し、最後の2ケタが同日に作成した回数となっています。

5.2. FPGA ID Register (0x4～0x7)

このレジスタは、本基板のFPGAの機能を表します。このレジスタの値は0x47454D00です。このレジスタの値が異なる場合、互換性のないファームウェアであることを示します。

5.3. Revision Register(0x8～0xB)

このレジスタは、本基板のFPGAの版数を表します。このレジスタの値は0x312E3030です。このレジスタの値が異なり、FPGA ID Register が同じ場合は、一般に互換性のあるファームウェアであることを示します。

5.4. Control Register 0(0x10)

このレジスタは、本基板の動作を指定します。詳細は表 5-2 を参照してください。

表 5-2 Command Register 0 のビットマップ

bit 位置	シンボル	意味
bit7	SIG_EXG	信号順序を入れ替えます。
bit6		入れ替え内容は FE2009FPGA-Rev41 に準じます
bit5	HOLD	0:即時検出 1:クラスタ内検出保持(消滅時検出)
bit4	EDGE	0:エッジ検出モード 1:レベルモード
bit3	SIZE	最大クラスタサイズを指定します。
bit2		0 の時 1 ピクセル×1 ピクセル
bit1		F の時 16 ピクセル×16 ピクセル
bit0		(FE2009FPGA-Rev41 とは異なります※1)

※1 FE2009FPGA-Rev41 では、bit0 が 2, bit1 が 3, bit2 が 4, bit3 が 5 ピクセルを指定します。

5.5. Control Register 1(0x11)

このレジスタは、本基板の動作を指定します。詳細は表 5-3 を参照してください。

表 5-3 Command Register 1 のビットマップ

bit 位置	シンボル	意味
bit7	MON_SEN	0: モニタ 256ch 論理和モード 1: モニタ個別モード (Monitor Select Register で指定)
bit6	MON_EDG	0: モニタレベルモード 1: モニタエッジモード
bit5	EDG_WTH	エッジモード時のパルス幅を 5ns 単位で指定します。 0 で 10ns、3 で 25ns のパルス幅となります。
bit4		
bit3	TME_EN	0: Time イベント Enable 1: Time イベント Disable
bit2	T0E_EN	0: T0 イベント Enable 1: T0 イベント Disable
bit1	T0_SYNC	0: 常時動作 1: T0 同期動作
bit0	TIM_MODE	0: 常時動作 1: TOF レンジ指定動作

5.6. Monitor Select Register (0x12)

このレジスタは、Command Register 1 の bit7 でモニタ個別モードを指定した場合にモニタする信号を選択します。ここで指定する番号は Command Register 0 の SIG_EXG とは無関係に Input コネクタの ch 番号で指定します。

5.7. VTH Sequence Status Register (0x13)

このレジスタは、VTH スキャン時の状態を表示します。0x00 がアイドル状態で 0xC0 がサンプル終了を表します。0x80~0xBF がサンプル中です。FE2009FPGA-Rev41 では設定が偶数、サンプルは奇数と別のコードが割り当てられていましたが、本基板で設定とサンプルは同じ値となっています。

5.8. Board Temperature Register (0x14)

このレジスタは、基板上の温度を表示します。温度を測定している場所は、JTAG コネクタ近傍の U21 の温度です。読み出した値がセルシウス度での温度です。

5.9. FPGA Temperature Register (0x15)

このレジスタは、FPGA のチップ温度を表示します。読み出した値がセルシウス度での温度です。

5.10. SRAM Initialize Sequence Status Register (0x16)

このレジスタは、SRAM の初期化シーケンスを表示します。初期化が問題なく終了すると 0xFF となります。

5.11. Extension Control Register (0x1D)

このレジスタでは、キャリブレーションの出力周期、TOF の時間分解能、モニタ出力する ASIC を指定します。アナログ出力の指定は ASIC Register の設定と本レジスタの設定が必要です。ASIC Register の設定を有効にするためには Command Register の操作が必要です。

表 5-4 Extension Control Register のビットマップ

bit 位置	シンボル	意味
bit7	CAL_FRQ	0:0.5Hz 1:50Hz
bit6	SCN_CEN	VTH Scan Sequence 時のキャリブレーション 0:OFF 1:ON
bit5	TOF_UNT	TOF の時間分解能 0:10ns 単位 1:20ns 単位 2:40ns 単位 3:指定禁止
bit4		
bit3	SCN_AEN	VTH Scan Sequence 時のアナログ出力 0:OFF 1:ON
bit2	AOUT_SEL	Input コネクタのチャネル番号 ÷ 32 を設定する 0:U8, 1:U9, 2:U10, 3:U11, 4:U12, 5:U13, 6:U14, 7:U15
bit1		
bit0		

5.12. Command Register (0x1E)

このレジスタでは、ASIC Register の値を ASIC に転送するシーケンサや VTH スキャンのシーケンサを制御するレジスタです。シーケンサを動かす場合は、Enable を 1 に設定した後、Status が 1 になる(シーケンサの動作が終了する)のを確認してください。1 になったことを確認したら Enable を 0 に戻してください。なお、二つのシーケンサは同時に動作できません。なお、動作中は Enable=1, Status=0 です。Enable=0 となった場合は、コマンドが無視されたことを示します。

表 5-5 Command Register のビットマップ

bit 位置	シンボル	意味
bit7	AR_SET_EN	ASIC Register Set Enable
bit6	AR_SET_SS	ASIC Register Set Status
bit5	VT_SCN_EN	VTH Scan Sequence Enable
bit4	VT_SCN_SS	VTH Scan Sequence Status
bit3	NU	未使用(書き込み時は 0)
bit2	NU	未使用(書き込み時は 0)
bit1	NU	未使用(書き込み時は 0)
bit0	NU	未使用(書き込み時は 0)

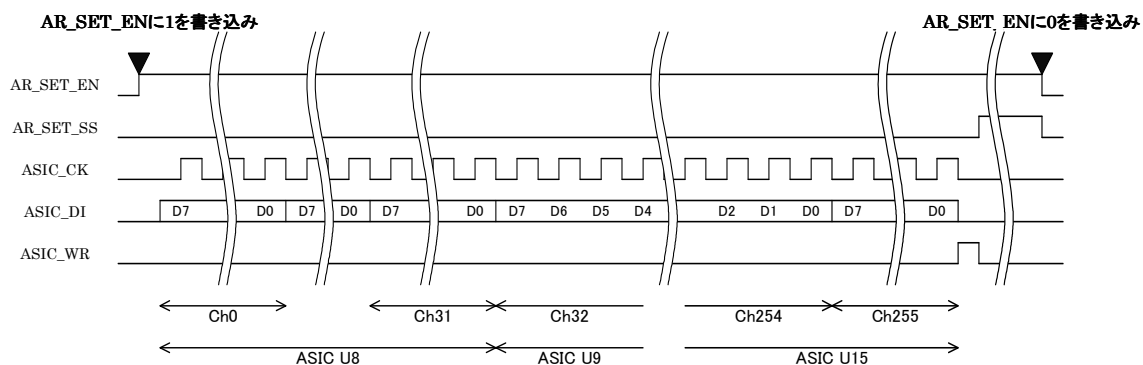


図 5-1 ASIC Register 転送シーケンス

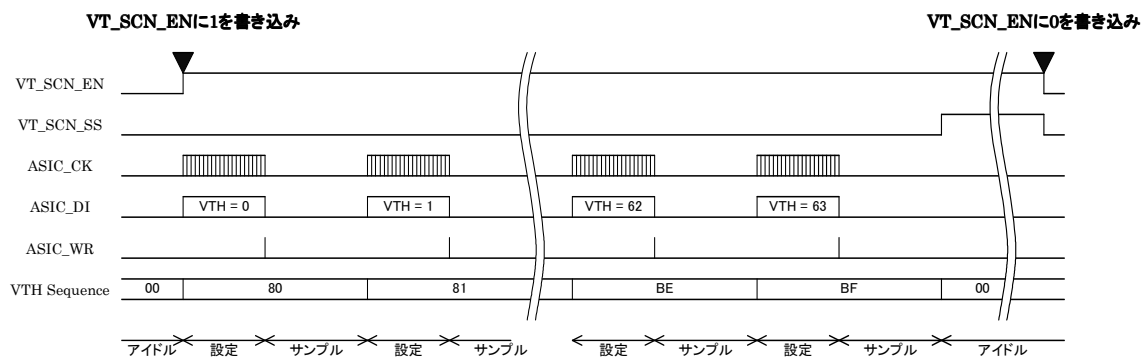


図 5-2 VTH Scan シーケンス

5.13. Calibration Enable Register (0x1F)

このレジスタは、Calibration 信号を出力するかを指定します。

表 5-6 Calibration Enable Register のビットマップ

bit 位置	シンボル	意味
bit7	CAL7_EN	0: U15 への Calibration OFF 1: U15 への Calibration ON
bit6	CAL6_EN	0: U14 への Calibration OFF 1: U14 への Calibration ON
bit5	CAL5_EN	0: U13 への Calibration OFF 1: U13 への Calibration ON
bit4	CAL4_EN	0: U12 への Calibration OFF 1: U12 への Calibration ON
bit3	CAL3_EN	0: U11 への Calibration OFF 1: U11 への Calibration ON
bit2	CAL2_EN	0: U10 への Calibration OFF 1: U10 への Calibration ON
bit1	CAL1_EN	0: U9 への Calibration OFF 1: U9 への Calibration ON
bit0	CAL0_EN	0: U8 への Calibration OFF 1: U8 への Calibration ON

5.14. Mask Register (0x20~0x3F)

このレジスタは、入力をチャンネル単位にマスクできるレジスタです。Input コネクタの Ch[X]をマスクする場合、アドレス 0x20+(X÷8)のビット(X mod 8)を 1 にします。1 を設定するとそのチャンネルはいかなる場合も入力を検出しません。

5.15. Minimum TOF Register (0x40~0x43)

このレジスタは、Control Register 1 で TOF レンジ指定動作を指定した場合のみ有効です。ここで設定した値より小さな TOF となるイベントは破棄されます。

5.16. Maximum TOF Register (0x44~0x47)

このレジスタは、Control Register 1 で TOF レンジ指定動作を指定した場合のみ有効です。ここで設定した値より大きな TOF となるイベントは破棄されます。

5.17. ASIC Register (0x100~0x1FF)

このレジスタは、ASIC の入力単位の設定を保持します。ASIC に設定するためには Command Register を操作して ASIC にこのレジスタの内容を転送する必要があります。

Input コネクタの Ch[X]の設定はアドレス(0x100+X)のチャンネルあたり 1byte の領域に設定します。この 1Byte の領域のビットマップを表 5-7 に示します。

表 5-7 Ch[n] ASIC Register のビットマップ

bit 位置	シンボル	意味
bit7	Ch[n]_VTH	閾値 DAC の設定値
bit6		
bit5		
bit4		
bit3		
bit2		
bit1	Ch[n]_MON	0: モニタ出力 OFF 1: モニタ出力 ON
bit0	Ch[n]_CAL	0: キャリブレーション OFF 1: キャリブレーション ON

5.18. VTH Scan Histogram Memory(0x200~0x2FF)

このレジスタは、VTH スキャンのシーケンスの結果が格納されます。VTH=0 の結果は 0x200 からの 4byte であり、VTH=63 の結果は 0x2FC からの 4byte です。

モニタ期間は 0x7FFFFFFF であり、ヒストグラムの最大値も 0x7FFFFFFF です。