

GEM 型中性子二次元検出器

P-THIN-GEM システム BBTX-098

機器詳細仕様



2021 年 8 月 19 日 1.0.1 版

(株)Bee Beans Technologies

改版履歴

版数	FPGA Version	日付	内容	確認	作成
1.0.0	15021001	2020 年 9 月 10 日	初版	石綿	岩瀬
1.0.1		2021 年 8 月 19 日	5.1.3 Time イベント 単位を 10ns に訂正	岩瀬	石綿

目次

1. 概要	1
1.1. 外観.....	1
1.2. 概略寸法	2
2. 検出能力	3
3. 入出力仕様	4
3.1. ガスコネクタ	5
3.2. 高圧電源コネクタ	5
3.3. Force Default スイッチ	6
3.4. ANALOG OUT コネクタ.....	6
3.5. T0 コネクタ.....	7
3.6. RESET コネクタ	7
3.7. CLOCK コネクタ.....	7
3.8. STATUS LED	8
3.9. CONDITION LED.....	8
3.10. Ethernet Speed LED.....	8
3.11. Ethernet Active LED.....	9
3.12. Ethernet コネクタ	9
3.13. 低圧電源コネクタ	9
4. 主な仕様	10
4.1. P-THIN-GEM の X・Y チャネル方向.....	11
5. SiTCP(TCP)データ	12
5.1. イベントフォーマット	12
5.1.1. コインシデンスイベント.....	12
5.1.2. T0 フレームイベント.....	13
5.1.3. Time イベント.....	13
6. RBCP(UDP)アクセス.....	14
6.1. Version Register (0x0~0x3)	15
6.2. FPGA ID Register (0x4~0x7)	15
6.3. Revision Register(0x8~0xB).....	15
6.4. Control Register 0(0x10)	15
6.5. Control Register 1(0x11)	16
6.6. Monitor Select Register (0x12).....	16
6.7. VTH Sequence Status Register (0x13).....	16
6.8. Board Temperature Register (0x14).....	16

6.9. FPGA Temperature Register (0x15).....	17
6.10. SRAM Initialize Sequence Status Register (0x16)	17
6.11. Extension Control Register (0x1D)	17
6.12. Command Register (0x1E).....	18
6.13. Calibration Enable Register (0x1F)	19
6.14. Mask Register (0x20~0x3F)	20
6.15. Minimum TOF Register (0x40~0x43).....	20
6.16. Maximum TOF Register (0x44~0x47)	20
6.17. ASIC Register (0x100~0x1FF)	20
6.18. VTH Scan Histogram Memory(0x200~0x2FF)	21

1. 概要

本仕様書(以下本書)は P-THIN-GEM(以下本装置)の構造、能力および信号処理用に搭載されている FPGA(XC7K325T-2FFG900)の機能を記載するものです。

1.1. 外観

本装置は信号検出・ガス増幅部、電子回路部およびスタンドボードから構成されます(図 1-1)。

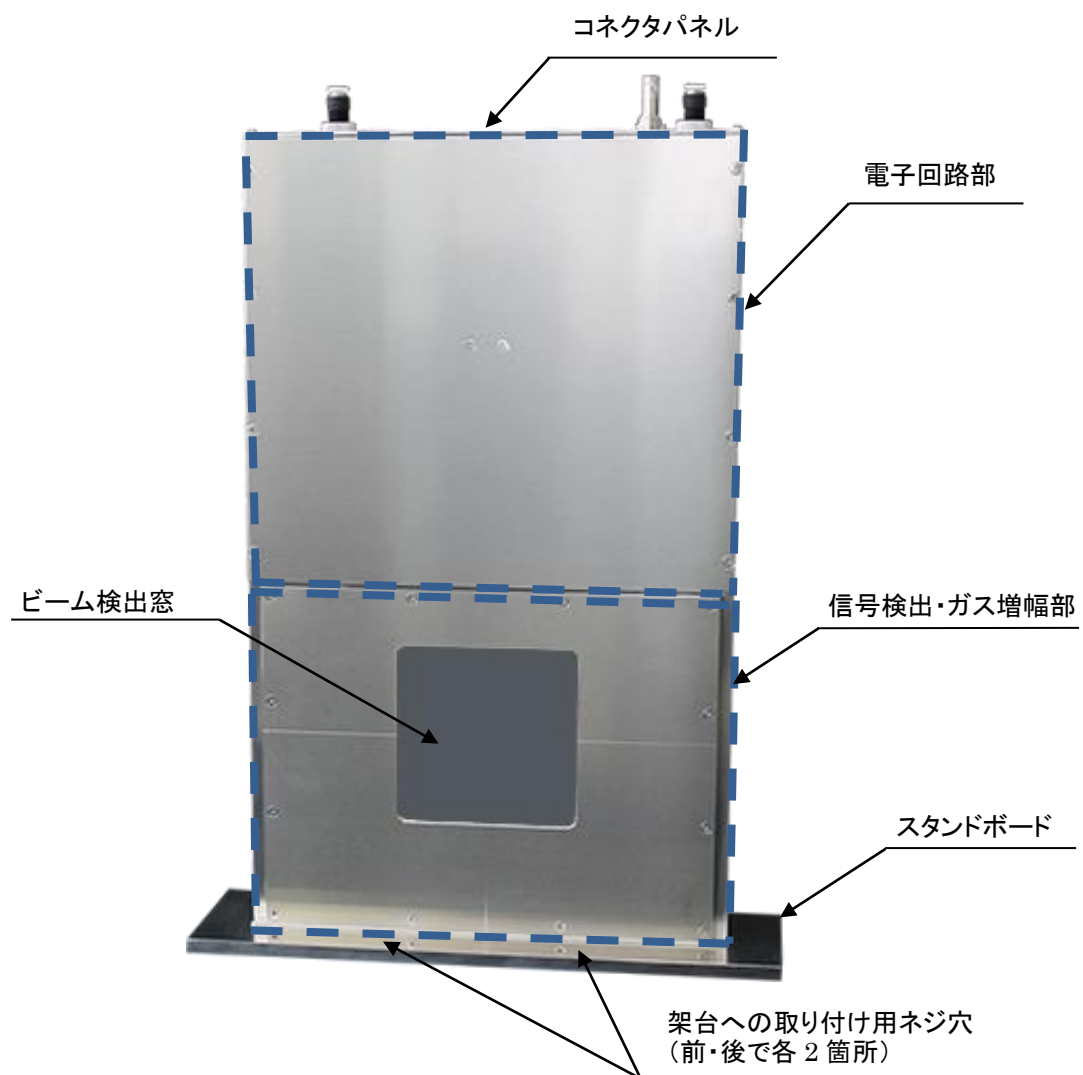


図 1-1 P-THIN-GEM 外観

1.2. 概略寸法

本装置の概略寸法を図 1-2 に示します。また、スタンドボードの取り付け用ネジ穴の寸法を図 1-3 に示します。

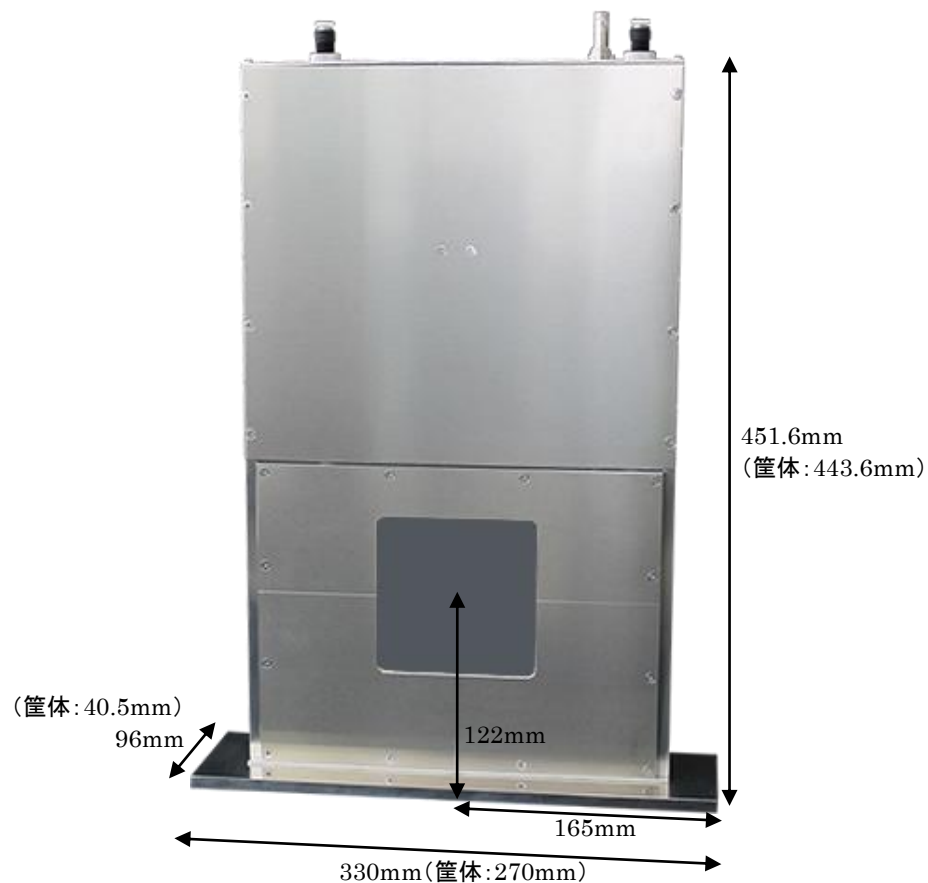


図 1-2 P-THIN-GEM 概略寸法

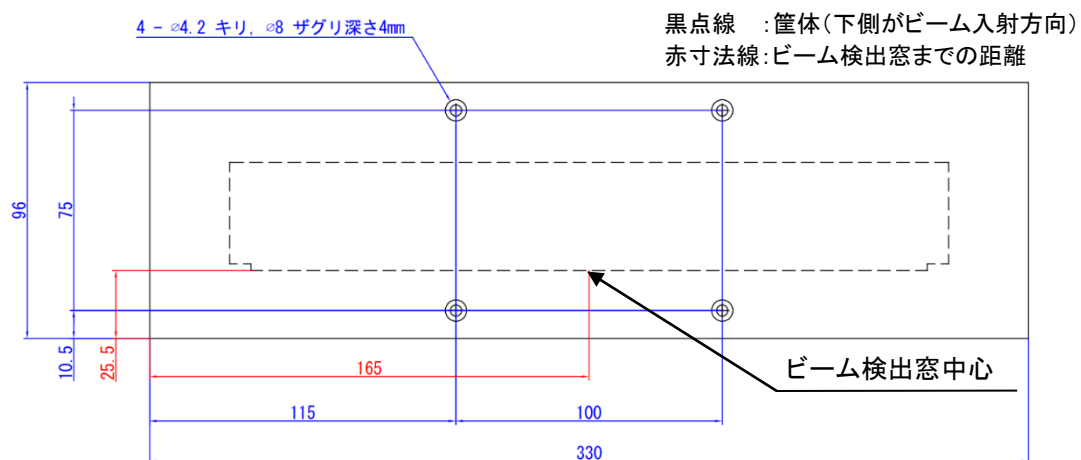


図 1-3 スタンドボード 取り付け用ネジ穴寸法

2. 検出能力

P-THIN-GEM の中性子感度はチェンバー内のボロンカソードによって異なるため、本書では具体的な検出能力を規定しません。

信号検出・ガス増幅部のチェンバー内にはボロンカソード、GEM、抵抗チェーン基板および信号検出用ストリップ基板（以下ストリップ基板）が設置されています。ストリップ基板で検出された信号は、電子回路部の読み出し基板に搭載されている MPGD-ASD に入力されます。MPGD-ASD は 32ch 入力のガス増幅検出器読み出し用フロントエンド ASIC です。MPGD-ASD は、入力電荷範囲が $-0.01 \sim -1.5\text{pC}$ 、ピーキングタイムは $>-0.1\text{pC}$ で約 26ns 、 -1.5pC で約 49ns です。

本装置では 8 個の MPGD-ASD を使用し、256ch の信号を同時に取り扱うことが可能です。

3. 入出力仕様

本装置と外部を接続するコネクタ類は、電子回路部の上部(コネクタパネル)に配置されています。各コネクタ類の説明を表 3-1 に、コネクタパネルの配置を図 3-1 に示します。

表 3-1 コネクタ類の機能

名称	仕様	説明
ガスコネクタ	チューブ外形 1/4 インチ	本装置はガスフロータイプです。2 つのガスコネクタの一方が吸気、もう一方が排気となります。
高圧電源コネクタ	SHV コネクタ	ボロンカソード、GEM に印可する高圧負電圧供給用コネクタです。本装置内部の分圧抵抗で分圧してカソードや GEM に供給します。供給電圧は装置毎に異なります。
低圧電源コネクタ	PJ-019(CUI) [EIAJ-Type4]	12V±10%(2A)の電源入力です。
Force Default スイッチ	プッシュスイッチ	Force Defaultに状態を切り替えます。約 1 秒スイッチを押すたびに状態を切り替えます。
ANALOG OUT コネクタ	LEMO コネクタ (NIM-CAMAC CD/N 549)	MPGD-ASD の Analog Out を出力します。
RESET コネクタ		Fast NIM レベル入力です。現仕様では未使用です。
CLOCK コネクタ		Fast NIM レベル入力です。現仕様では未使用です。
T0 コネクタ (Fast NIM)		T0 パルスを Fast NIM レベルで入力します。
T0 コネクタ(TTL)		T0 パルスを TTL レベルで入力します。
STATUS LED	三連 LED (赤・黄・緑)	赤:リセット中(点灯)・Force Default(点滅) 黄:TCP セッション確立中(動作中点灯) 緑:RUN 表示(動作中点滅)
CONDITION LED	三連 LED (赤・黄・緑)	赤:未使用 黄:T0 パルス検出 緑:イベント検出
Ethernet Speed LED	二色発光 LED (緑・橙)	緑:1000BASE-T リンク 橙:100BASE-TX リンク 緑・橙:10BASE-T リンク
Ethernet Active LED	二色発光 LED (緑・橙)	緑:通信アクティブ 橙:未使用

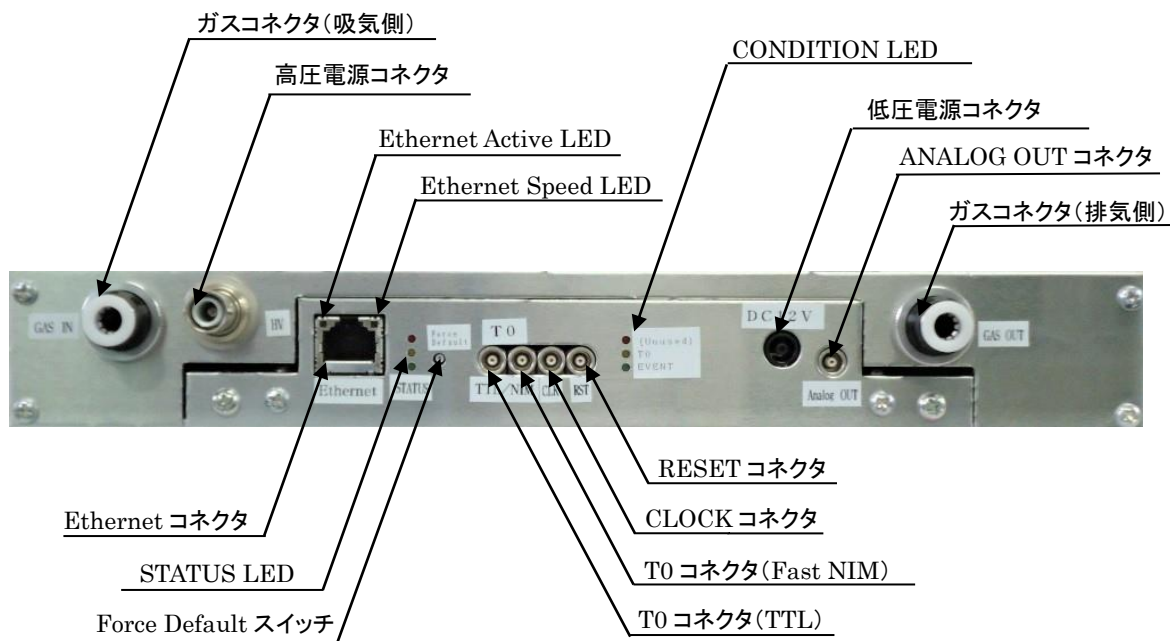


図 3-1 コネクタパネル配置

3.1. ガスコネクタ

本装置はガスフロータイプです。2 つのガスコネクタ(吸気側・排気側)はコネクタパネルの両端に配置されています。ガス管はチェンバーの電子回路部を経由して信号検出・ガス増幅部に接続されています。ガス導入の際には、吸気側と排気側を間違えないように各コネクタへ接続してください(図 3-1 参照)。

3.2. 高圧電源コネクタ

ボロンカソードや GEM に供給する負極性の高圧電源を入力するコネクタです。印可する電圧は使用する GEM の特性に応じて異なります。高圧電源は、本装置内の RC フィルタを経由した後に、分圧抵抗でボロンカソードや GEM に印可する電圧に分圧されます。

3.3. Force Default スイッチ

このスイッチは通常使用しません。本装置の IP アドレスやポート番号が不明な場合などに強制的に初期状態にするために使用します。強制的な初期状態 (Force Default 状態) は一時的なものであり、設定されている IP アドレスやポート番号は変更されませんので、通常状態に戻すと設定されている IP アドレスやポートアドレスが再度有効になります。Force Default での状態を表 3-2 に示します。

スイッチは 1 秒以上、非導電性の先のとがっていないもので押下してください (鉛筆などを使用すると黒鉛が機器内部に入り故障の原因となります)。スイッチを押下するたびに通常状態と Force Default 状態が交互に切り替わります。Force Default 状態では、STATUS LED の赤色 LED が 400ms 周期で点滅します。

表 3-2 Force Default での設定値

項目	値
IPアドレス	192.168.10.16
SiTCP ポート番号 (TCP Port)	24
RBCP ポート番号 (UDP Port)	4660

3.4. ANALOG OUT コネクタ

MPGD-ASD からの Analog Out を選択し出力できます。出力インピーダンスは 50Ω となっています。MPGD-ASD のどれを出力するかは RBCP のレジスタで設定できます。出力電圧は、MPGD-ASD の開放時出力電圧の約 0.5 倍です。

3.5. T0 コネクタ

T0 入力用のコネクタは TTL レベルと Fast NIM レベルで 2 種類選択できます。これらは論理和として処理されるため、どちらか片方のみ使用してください。それぞれのコネクタの電氣的仕様を表 3-3 に示します。

TTL 信号の場合は、立ち上がり(0 から 1 の変化)を基準とし、NIM レベルの場合は立ち下がり(0 から 1 の変化)を基準とします。いずれの場合も、T0 の基準エッジの前 $6\mu\text{s}$ に変化がないことが必要です。

表 3-3 T0 信号の電氣的仕様

コネクタ	項目	仕様
T0 コネクタ(Fast NIM)	入力 H(論理 0)レベル電圧	-0.26V~5V
	入力 L(論理 1)レベル電圧	-4V~-0.54V
	入力インピーダンス	50 Ω
	コネクタ形状	LEMO コネクタ (NIM-CAMAC CD/N 549)
T0 コネクタ(TTL)	入力 H(論理 1)レベル電圧	1.65V~5V
	入力 L(論理 0)レベル電圧	-4V~1.17V
	入力インピーダンス	10k Ω
	コネクタ形状	LEMO コネクタ (NIM-CAMAC CD/N 549)

3.6. RESET コネクタ

RESET コネクタは、Fast NIM レベル入力です。本仕様では未使用です。
コネクタ形状や電氣的仕様は、T0 コネクタの Fast NIM レベル入力と同じです。

3.7. CLOCK コネクタ

CLOCK コネクタは Fast NIM レベル入力です。本仕様では未使用です。
コネクタ形状や電氣的仕様は、T0 コネクタの Fast NIM レベル入力と同じです。

3.8. STATUS LED

STATUS LED は本装置の動作状態を示す三連の LED です。上から赤・黄・緑となっています。各 LED が表示する内容を表 3-4 に示します。

表 3-4 STATUS LED 仕様

発光色	仕様
赤	リセット中は点灯します。 Force Default 中は点滅します。
黄	TCP セッションが確立すると点灯します。
緑	FPGA が動作中に点滅します。

3.9. CONDITION LED

CONDITION LED は本装置の動作環境を示す三連の LED です。上から赤・黄・緑となっています。各 LED が表示する内容を表 3-5 に示します。

表 3-5 CONDITION LED 仕様

発光色	仕様
赤	現仕様では未使用です。
黄	T0 パルスを検出すると点灯します。
緑	イベント検出で点灯します (TCP セッションとは無関係に検出します)。

3.10. Ethernet Speed LED

Ethernet Speed LED は二色発光 LED であり、Ethernet のリンク状態とリンクスピードを表示します。

表 3-6 Ethernet Speed LED 仕様

状態	仕様
緑点灯	1000BASE-T リンク 1Gbps
橙点灯	100BASE-TX リンク 100Mbps
緑・橙 同時点灯	10BASE-T リンク 10Mbps

3.11. Ethernet Active LED

Ethernet Active LED は緑単色 LED であり、Ethernet の通信状態を表示します。送受信が発生している場合に点滅します。

3.12. Ethernet コネクタ

Ethernet コネクタは RJ45 コネクタであり、1000BASE-T,100BASE-TX,10BASE-T に対応しています。

3.13. 低圧電源コネクタ

本装置のメイン電源です。 $+12V \pm 10\%$ で 2A 以上の供給能力の AC アダプタ(EIAJ-Type4 コネクタ)を使用してください。GND 側は P-THIN-GEM 筐体に接続されています。

4. 主な仕様

本装置の主要な仕様を表 4-1 に示します。

表 4-1 P-THIN-GEM 仕様

項目	仕様		
筐体サイズ	W270mm x H443.6mm x D40.5mm (突起部・スタンドボード含まず)		
スタンドボードサイズ	W330mm x H8mm x D96mm		
チェンバーサイズ	内寸	W234mm x H174mm x D29mm (約 1180cc)	
入力アンプ	MPGD-ASD 8 個	チャンネル数	32ch
		入力電荷範囲	-0.01pC ~ -1.5pC
		ピーキングタイム	>-0.1pC:26ns、-1.5pC:49ns
		タイムウォーク	16ns
		その他	Analog 出力
FPGA	XC7K325T-2FFG900(信号処理、SiTCP、MPGD-ASD の制御等) Kintex-7 シリーズ Slice : 50,950 FlipFlop : 407,600 Memory : 16,020kbit		
Flash	N25Q128A (FPGA ファームウェアで使用) 128Mbit (256byte/page × 524,288page)		
SRAM	CY7C1612KV18-250BZX (イベントデータバッファ) QDR II (Quad data rate II) メモリ 4Mword × 18bit × 2burst 200MHz		
起動時間	約 10 秒 (電源投入から LED 点灯まで)		
低圧電源	+12V ± 10% 2A		
高圧電源	カソード/GEM の構成に依存		

4.1. P-THIN-GEM の X・Y チャネル方向

信号検出・ガス増幅部のチェンバー内にはボロンカソード、GEM およびストリップ基板が設置されています。ストリップ基板の X・Y チャネル方向はビーム入射側から見て図 4-1 の並びとなります。



図 4-1 P-THIN-GEM X・Y チャネル方向

5. SiTCP(TCP)データ

SiTCP の IP アドレスとポート番号は、EEPROM に保存されていますが、Force Default スイッチで本装置を Force Default 状態に設定すると初期設定値でアクセスできます。初期設定値は、表 3-2 を参照してください。出荷時の IP アドレス、ポート番号も同じ値に設定してあります。設定値の変更は、SiTCP ユーティリティを使用してください。

TCP のセッションを開いた後、イベントを検出すると PC へ送じます。

5.1. イベントフォーマット

本装置が出力するイベントは 40bit(5Byte)構成です。

5.1.1. コインシデンスイベント

コインシデンスイベントは、有効なイベントを認識すると発生します。TOF の有効桁は 22bit ですが、分解能 10ns,20ns,40ns に応じて bit 位置が補正されるため、10ns 単位の値として読み出せます。ただし、分解能が 10ns の場合の最大値は 0x3FBFFF(41msec)、20ns の場合は 0x7F7FFE(83msec)、40ns の場合は 0xFEFFFC(167msec)です。

X 座標、Y 座標はそれぞれ 8bit の領域がありますが、0～0x7F の範囲の値しかとりません。TOF の先頭の 8bit は 0x00～0xFE までの値とし、0xFF は別のフォーマットであることを示します。

TOF[24]		X[8]	Y[8]
TOF:	0x000000～0xFEFFFF	T0からイベント検出までの時間(10ns単位)	
X:	0x00～0x7F	検出X座標(中央値)	
Y:	0x00～0x7F	検出Y座標(中央値)	

図 5-1 コインシデンスイベントフォーマット

5.1.2. T0 フレームイベント

T0 フレームイベントは、T0 シグナルを検出した時点で生成されます。このイベント発生時に直前に破棄された T0 イベント数を TI に、その他の破棄されたイベントを LC に表示します。

損失がない時、TI も LC も 0 となります。

0xFF00[16]	TI[8]	LC[16]
------------	-------	--------

0xFF00:	0xFF00	識別子 0xFF00固定
TI:	0x00~0xFF	T0イベント インターバル-1(通常0)
LC:	0x0000~0xFFFF	損失イベント数

図 5-2 T0 フレームイベントフォーマット

5.1.3. Time イベント

Time フレームイベントは、T0 シグナルを検出した時点で生成されます。このイベント発生時の時刻を 10ns 単位で表示します。

0xFF01[16]	Time(H)[24]
0xFF02[16]	Time(L)[24]

0xFF01:	0xFF01	識別子 0xFF01固定
0xFF02:	0xFF02	識別子 0xFF02固定
Time:	0x0000000000000~0xFFFFFFFFFFFFFF	時刻情報 10ns単位 Time(H)が上位24bit、Time(L)が下位24bit

図 5-3 Time イベントフォーマット

6. RBCP (UDP) アクセス

RBCP を用いてモジュールの各種設定をするレジスタにアクセスします。

RBCP で使用する IP アドレス (TCP と同じ) とポート番号は、EEPROM に保存されていますが、Force Default スイッチで本装置を Force Default 状態に設定すると、初期設定値でアクセスできます。初期設定値は、表 3-2 を参照してください。出荷時の IP アドレス、ポート番号も同じ値に設定してあります。設定値の変更は、SiTCP ユーティリティを使用してください。

表 6-1 RBCP でのメモリマップ

アドレス (HEX)		BYTE	用途
開始	終了		
0	3	4	Version Register
4	7	4	FPGA ID Register
8	B	4	Revision Register
C	F	4	未使用
10	10	1	Control Register 0
11	11	1	Control Register 1
12	12	1	Monitor Select Register
13	13	1	VTH Sequence Status Register
14	14	1	Board Temperature Register
15	15	1	FPGA Temperature Register
16	16	1	SRAM Initialize Sequence Status Register
17	1C	6	未使用
1D	1D	1	Extension Control Register
1E	1E	1	Command Register
1F	1F	1	Calibration Enable Register
20	3F	32	Mask Register
40	43	4	Minimum TOF Register
44	47	4	Maximum TOF Register
100	1FF	256	ASIC Register
200	2FF	256	VTH Scan Histogram Memory

6.1. Version Register (0x0～0x3)

この4Byteを読み出した値がファームウェアのバージョン番号です。バージョン番号は8ニブルの16進数で、基本的に初めの2ニブルが西暦の末尾2ケタを、次の2ケタが月を、次の2ケタが日を表し、最後の2ケタが同日に作成した回数となっています。

6.2. FPGA ID Register (0x4～0x7)

このレジスタは、本装置のFPGAの機能を表します。このレジスタの値は0x47454D00です。このレジスタの値が異なる場合、互換性のないファームウェアであることを示します。

6.3. Revision Register(0x8～0xB)

このレジスタは、本装置のFPGAの版数を表します。このレジスタの値は0x312E3030です。このレジスタの値が異なり、FPGA ID Register が同じ場合は、一般に互換性のあるファームウェアであることを示します。

6.4. Control Register 0(0x10)

このレジスタは、本装置の動作を指定します。詳細は表 6-2 を参照してください。

表 6-2 Control Register 0 のビットマップ

bit 位置	シンボル	意味
bit7	SIG_EXG	信号順序を入れ替えます(下記以外は設定禁止)。
bit6		01: 通常運用時の設定 00: Vth スキャン時の設定
bit5	HOLD	0:即時検出 1:クラスタ内検出保持(消滅時検出)
bit4	EDGE	0:エッジ検出モード 1:レベルモード
bit3	SIZE	最大クラスタサイズを指定します。
bit2		F の時 16 ピクセル×16 ピクセル
bit1		...
bit0		0 の時 1 ピクセル×1 ピクセル

6.5. Control Register 1(0x11)

このレジスタは本装置の動作を指定します。詳細は表 6-3 を参照してください。

表 6-3 Control Register 1 のビットマップ

bit 位置	シンボル	意味
bit7	MON_SEN	0: モニタ 256ch 論理和モード 1: モニタ個別モード (Monitor Select Register で指定)
bit6	MON_EDG	0: モニタレベルモード 1: モニタエッジモード
bit5	EDG_WTH	エッジモード時のパルス幅を 5ns 単位で指定します。 0 で 10ns、3 で 20ns のパルス幅となります。
bit4		
bit3	TME_EN	0: Time イベント Enable 1: Time イベント Disable
bit2	TOE_EN	0: T0 イベント Enable 1: T0 イベント Disable
bit1	T0_SYNC	0: 常時動作 1: T0 同期動作
bit0	TIM_MODE	0: 常時動作 1: TOF レンジ指定動作

6.6. Monitor Select Register (0x12)

このレジスタは、Control Register 1 の bit7 でモニタ個別モードを指定した場合にモニタする信号を選択します。ここで指定する番号は Control Register 0 の SIG_EXG とは無関係に Input コネクタの ch 番号で指定します。

6.7. VTH Sequence Status Register (0x13)

このレジスタは、VTH スキャン時の状態を表示します。0x00 がアイドル状態、0x80～0xBF がサンプル中、0xC0 がサンプル終了を表します。

6.8. Board Temperature Register (0x14)

このレジスタは、本装置の読み出し基板上の温度を表示します。温度を測定している場所は、JTAG コネクタ近傍の U21 の温度です。読み出した値がセルシウス度での温度です。

6.9. FPGA Temperature Register (0x15)

このレジスタは FPGA のチップ温度を表示します。読み出した値がセルシウス度での温度です。

6.10. SRAM Initialize Sequence Status Register (0x16)

このレジスタは、SRAM の初期化シーケンスを表示します。初期化が問題なく終了すると 0xFF となります。

6.11. Extension Control Register (0x1D)

このレジスタでは、キャリブレーションの出力周期、TOF の時間分解能、モニタ出力する ASIC を指定します。アナログ出力の指定は ASIC Register の設定と本レジスタの設定が必要です。ASIC Register の設定を有効にするためには Command Register の操作が必要です。

表 6-4 Extension Control Register のビットマップ

bit 位置	シンボル	意味
bit7	CAL_FRQ	0:0.5Hz 1:50Hz
bit6	SCN_CEN	VTH Scan Sequence 時のキャリブレーション 0:OFF 1:ON
bit5	TOF_UNT	TOF の時間分解能
bit4		0:10ns 単位 1:20ns 単位 2:40ns 単位 3:指定禁止
bit3	SCN_AEN	VTH Scan Sequence 時のアナログ出力 0:OFF 1:ON
bit2	AOUT_SEL	Input コネクタのチャンネル番号 ÷ 32 を設定する 0:U8, 1:U9, 2:U10, 3:U11, 4:U12, 5:U13, 6:U14, 7:U15
bit1		
bit0		

6.12. Command Register (0x1E)

このレジスタでは、ASIC Register の値を ASIC に転送するシーケンサや VTH スキャンのシーケンサを制御するレジスタです。シーケンサを動かす場合は、Enable を 1 に設定した後、Status が 1 になる(シーケンサの動作が終了する)ことを確認してください。1 になったことを確認したら Enable を 0 に戻してください。なお、二つのシーケンサは同時に動作できません。なお、動作中は Enable=1, Status=0 です。Enable=0 となった場合は、コマンドが無視されたことを示します。

表 6-5 Command Register のビットマップ

bit 位置	シンボル	意味
bit7	AR_SET_EN	ASIC Register Set Enable
bit6	AR_SET_SS	ASIC Register Set Status
bit5	VT_SCN_EN	VTH Scan Sequence Enable
bit4	VT_SCN_SS	VTH Scan Sequence Status
bit3	NU	未使用(書き込み時は 0)
bit2	NU	未使用(書き込み時は 0)
bit1	NU	未使用(書き込み時は 0)
bit0	NU	未使用(書き込み時は 0)

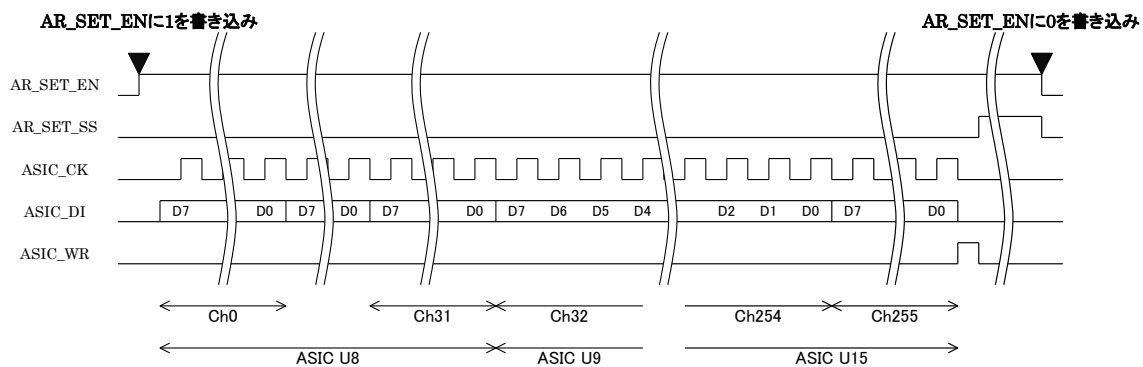


図 6-1 ASIC Register 転送シーケンス

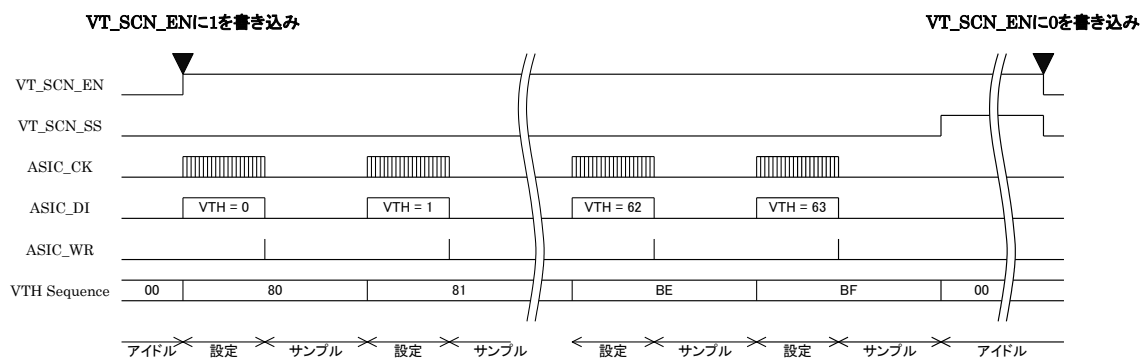


図 6-2 VTH Scan シーケンス

6.13. Calibration Enable Register (0x1F)

このレジスタは、Calibration 信号を出力するかを指定します。

表 6-6 Calibration Enable Register のビットマップ

bit 位置	シンボル	意味
bit7	CAL7_EN	0:U15 への Calibration OFF 1:U15 への Calibration ON
bit6	CAL6_EN	0:U14 への Calibration OFF 1:U14 への Calibration ON
bit5	CAL5_EN	0:U13 への Calibration OFF 1:U13 への Calibration ON
bit4	CAL4_EN	0:U12 への Calibration OFF 1:U12 への Calibration ON
bit3	CAL3_EN	0:U11 への Calibration OFF 1:U11 への Calibration ON
bit2	CAL2_EN	0:U10 への Calibration OFF 1:U10 への Calibration ON
bit1	CAL1_EN	0:U9 への Calibration OFF 1:U9 への Calibration ON
bit0	CAL0_EN	0:U8 への Calibration OFF 1:U8 への Calibration ON

6.14. Mask Register (0x20~0x3F)

このレジスタは、入力をチャンネル単位にマスクできるレジスタです。Input コネクタの Ch[X]をマスクする場合、アドレス $0x20 + (X \div 8)$ のビット($X \bmod 8$)を 1 にします。1 を設定するとそのチャンネルはいかなる場合も入力を検出しません。

6.15. Minimum TOF Register (0x40~0x43)

このレジスタは、Control Register 1 で TOF レンジ指定動作を指定した場合のみ有効です。ここで設定した値より小さな TOF となるイベントは破棄されます。

6.16. Maximum TOF Register (0x44~0x47)

このレジスタは、Control Register 1 で TOF レンジ指定動作を指定した場合のみ有効です。ここで設定した値より大きな TOF となるイベントは破棄されます。

6.17. ASIC Register (0x100~0x1FF)

このレジスタは、ASIC の入力単位の設定を保持します。ASIC に設定するためには Command Register を操作して ASIC にこのレジスタの内容を転送する必要があります。

Input コネクタの Ch[X]の設定はアドレス($0x100+X$)のチャンネルあたり 1byte の領域に設定します。この 1Byte の領域のビットマップを表 6-7 に示します。

表 6-7 Ch[n] ASIC Register のビットマップ

bit 位置	シンボル	意味
bit7	Ch[n]_VTH	閾値 DAC の設定値
bit6		
bit5		
bit4		
bit3		
bit2		
bit1	Ch[n]_MON	0: モニタ出力 OFF 1: モニタ出力 ON
bit0	Ch[n]_CAL	0: キャリブレーション OFF 1: キャリブレーション ON

6.18. VTH Scan Histogram Memory(0x200~0x2FF)

このレジスタは、VTH スキャンのシーケンスの結果が格納されます。VTH=0 の結果は 0x200 からの 4byte であり、VTH=63 の結果は 0x2FC からの 4byte です。

モニタ期間は 0x7FFFFFFF であり、ヒストグラムの最大値も 0x7FFFFFFF です。